มหาวิทยาลัยสงขลานครินทร์
คณะวิศวกรรมศาสตร์

สอบกลางภาค: ภาคการศึกษาที่ 1 **ปีการศึกษา:** 2545
วันที่สอบ: 1 สิงหาคม 2545 **เวลาสอบ:** 9.00-12.00 น.
รหัสวิชา: 240-451 **ห้องสอบ:**
ชื่อวิชา: Integrated and VLSI design

อ่านรายละเอียดของข้อสอบ และคำแนะนำให้เข้าใจก่อนเริ่มทำข้อสอบ

เวลา: 3 ชั่วโมง (180 นาที)

รายละเอียดของข้อสอบ: ข้อสอบมีทั้งหมด 9 หน้า

อนุญาต: ให้นำหนังสือหรือสมุดโน๊ตต่าง ๆ เข้าห้องสอบได้

คำสั่ง:

- ให้ทำทุกข้อ
- คำตอบทั้งหมดจะต้องเขียนลงในข้อสอบ
- เขียนชื่อและรหัสให้ชัดเจนในข้อสอบ**ทุกแผ่น**
- คำตอบส่วนใดอ่านไม่ออก จะถือว่าคำตอบนั้นผิด
- อ่านคำสั่งเพิ่มเติมในแต่ละข้อให้ชัดเจน

1. จงอธิบายเปรียบเทียบข้อดีข้อเสียของเทคโนโลยีแบบต่างๆ ดังต่อไปนี้ (5 คะแนน)

   ECL

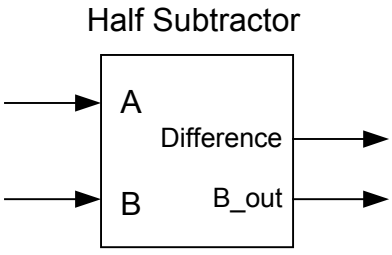
   TTL

   NMOS

   CMOS

2. จงออกแบบวงจร Half Subtractor โดยใช้เทคโนโลยีแบบ NMOS โดยเริ่มจากการเขียน Truth table , Logic Symbol, Logic symbol ในรูปแบบ NAND-NOR และวงจรในระดับทรานซิสเตอร์ Stick diagram หลังจากนั้นออกแบบวงจรในระดับ Layout โดยยึดกฎการออกแบบของ Mead & Convay โดยกำหนดให้ใช้ค่า Zpu/Zpd = 4:1 (50 คะแนน)

truth table (5 คะแนน)



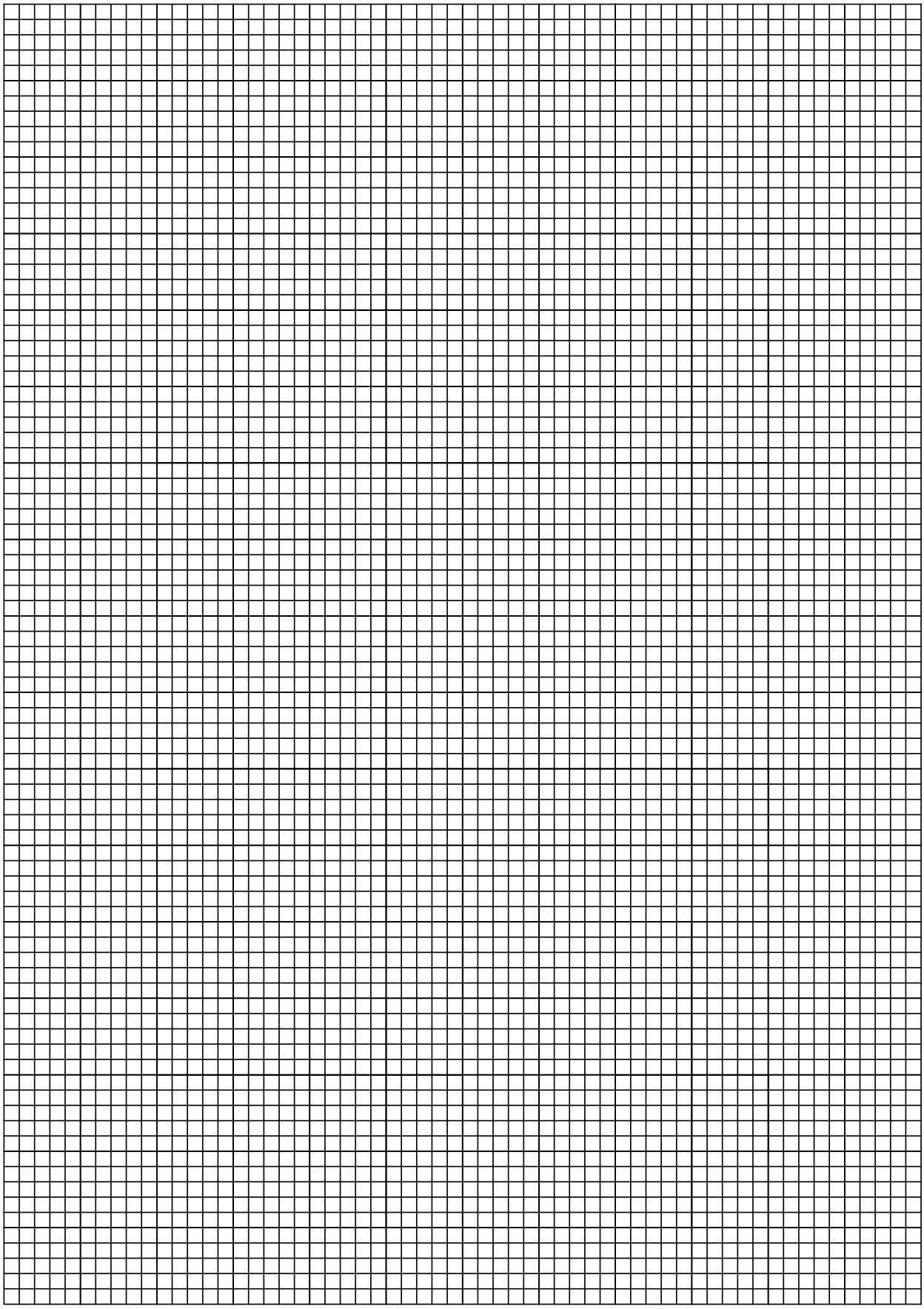
Logic Symbol (5 คะแนน)

Logic Symbol ในรูปแบบ NAND-NOR(10 คะแนน)

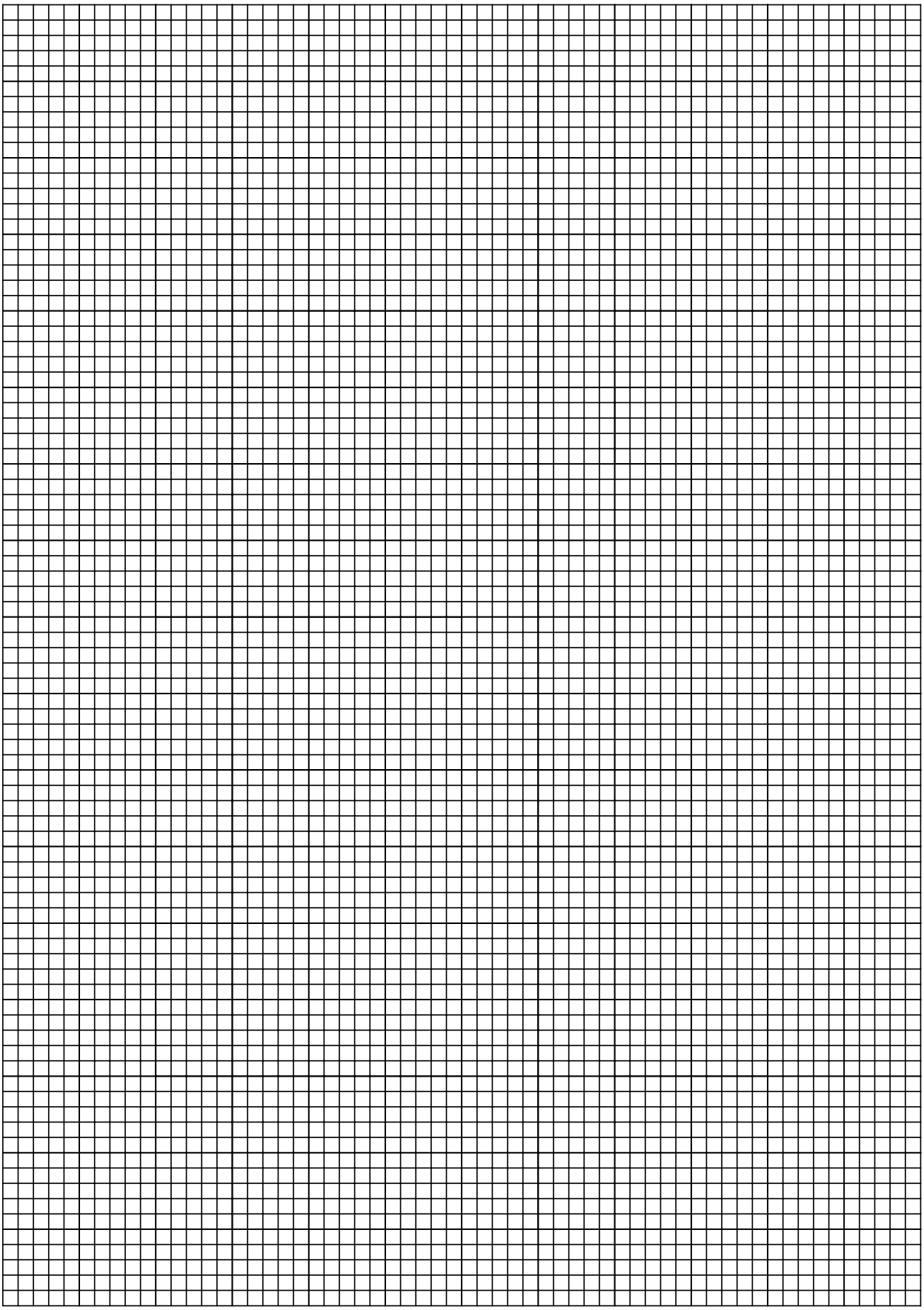
วงจรในระดับทรานซิสเตอร์ (10 คะแนน)

Stick diagrm (10 คะแนน)

วงจรในระดับ Layout (ให้เขียนเลย์เอาต์ของทั้งวงจรภายใน 1 หน้ากระดาษ) หากหน้านี้เสียให้ไปทำหน้าที่ 5 (20 คะแนน) กำหนดให้ 1 ช่องกว้าง 1 แลมบ์ดา



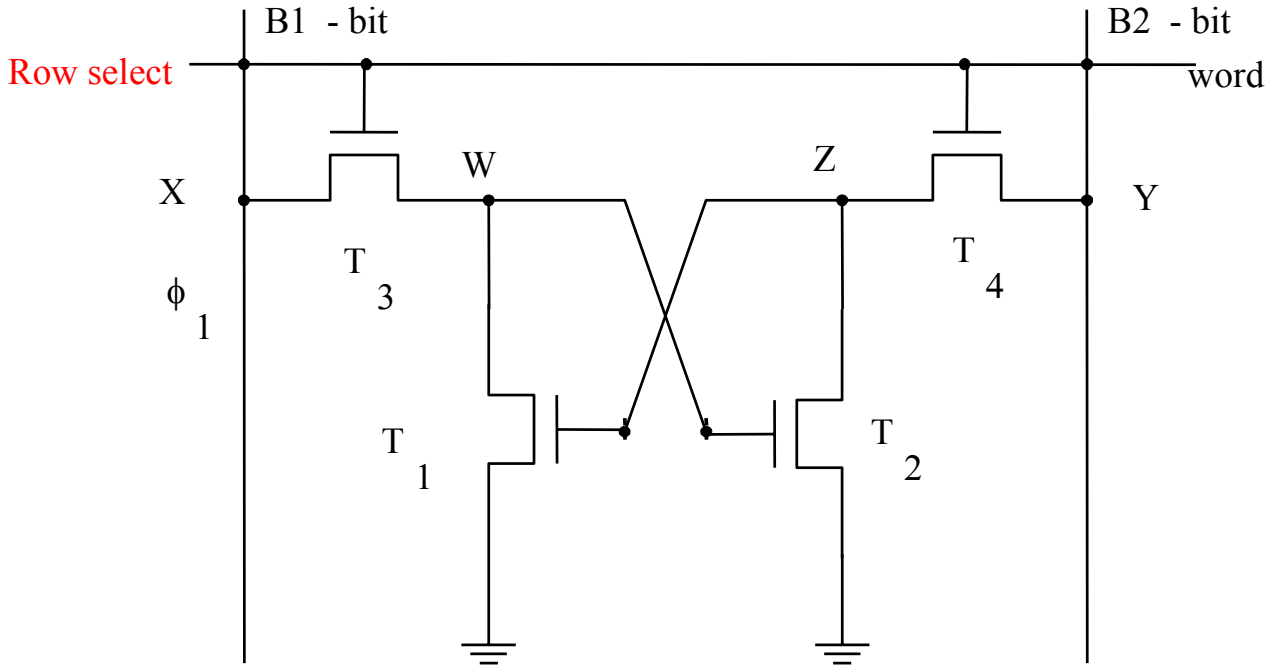
กระดาษคำตอบสำรอง วงจรในระดับ Layout (ใช้กรณีหน้าที่ 4 เสีย)



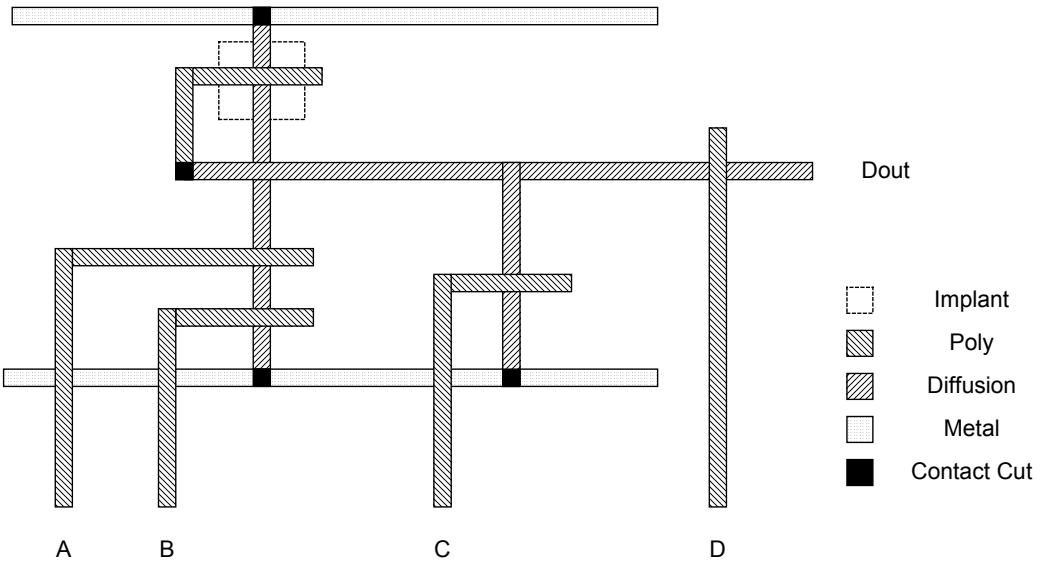
3. จงออกแบบวงจร PLA โดยใช้เทคโนโลยี NMOS โดยมีฟังก์ชั่นเอาต์พุตเป็นดังสมการ f1 และ f2 พร้อมทั้งเขียน Stick diagram ประกอบ (15 คะแนน)

$$f1 = x_1x_2 + \overline{x}_1\overline{x}_2x_3 + x_1x_3$$
$$f2 = x_1x_2 + x_1\overline{x}_3 + \overline{x}_1\overline{x}_2x_3$$

4. จากรูปเป็น Dynamic RAM ขนาด 1 บิท จงอธิบายการทำงานของวงจร และกระบวนการอ่าน-การเขียน ตลอดจนวิธีการรีเฟรชมาอย่างละเอียด (5 คะแนน)



5. จาก Stick Diagram ต่อไปนี้ จงวิเคราะห์ว่าเป็นวงจรอะไร พร้อมทั้งเขียนสัญญลักษณ์ของวงจรในรูปแบบของทรานซิสเตอร์เทคโนโลยี NMOS (5 คะแนน)



อ. ปัญญยศ ไชยกาฬ ผู้ออกข้อสอบ