มหาวิทยาลัยสงขลานครินทร์

คณะวิศวกรรมศาสตร์

การสอบปลายภาค ประจำภาคการศึกษาที่ 2 ปีการศึกษา 2545

วันที่ 27 กุมภาพันธ์ 2546 เวลา

0900-1200

วิชา 240-334 Computer System Design ห้อง A401

—

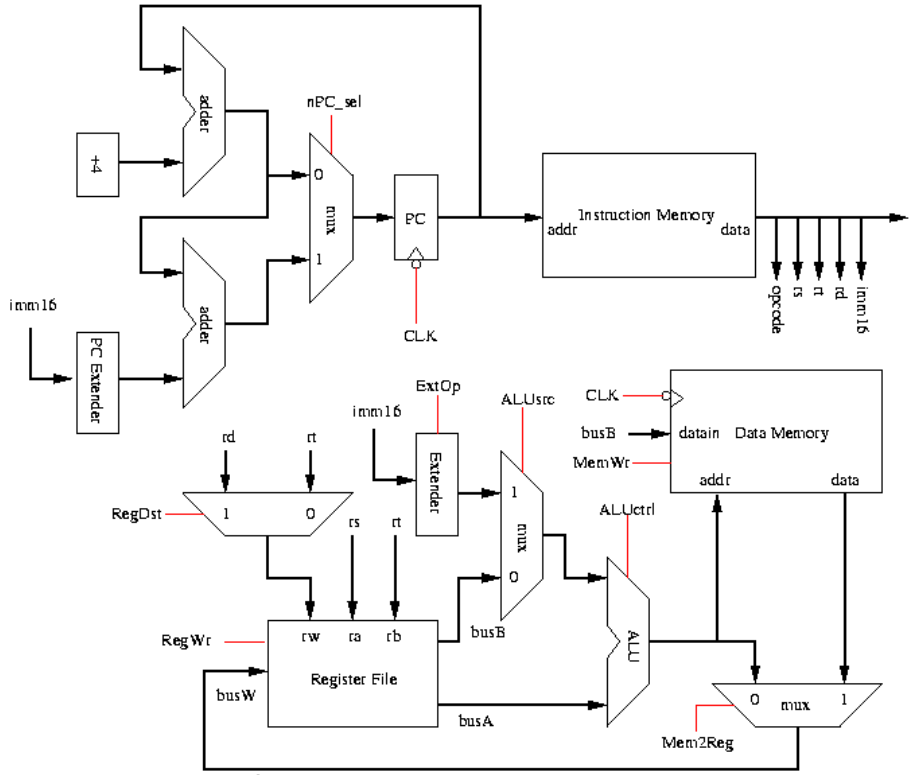
ข้อสอบมีทั้งหมด 5 ข้อ ทุกข้อมีคะแนนเท่ากัน ให้ทำทุกข้อ

ไม่อนุญาตให้นำเอกสารหรือเครื่องคำนวณเข้าห้องสอบ

1. จากโปรเซสเซอร์ซึ่งมีสถาปัตยกรรมของชุดคำสั่ง เลียนแบบโปรเซสเซอร์ตระกูล MIPS (32 bit RISC, load/store architecture) ซึ่งรองรับคำสั่งดังต่อไปนี้

```
a)      lw      $rt, $rs, imm
b)      sw      $rt, $rs, imm
c)      addi    $rt, $rs, imm
d)      sub     $rd, $rs, $rt
e)      bne     $rt, $rs, label1
f)      j       label2
```

โดยมี block diagram ของ component ต่างๆ บางส่วน (ยังขาดส่วนซึ่งจำเป็นสำหรับการ execute คำสั่ง j) ดังรูป



รูปที่ 1. single-cycle data path block diagram

จงตอบคำถามต่อไปนี้

1.1 คำสั่งใด จัดอยู่ในชนิดของ R-Type

1.2 คำสั่งใด จัดอยู่ในชนิดของ I-Type

1.3 คำสั่งใด จัดอยู่ในชนิดของ J-Type

1.4 ชนิดของ label1 (signed/unsigned, absolute/relative)

1.5 ชนิดของ label2 (signed/unsigned, absolute/relative)

1.6 จำนวน bit ของ label1

1.7 จำนวน bit ของ label2

1.8 จำนวนคำสั่งที่มากที่สุดที่เป็นไปได้ ถ้าหากใช้เฉพาะส่วนของ Opcode ในการกำหนดคำสั่ง

1.9 คำสั่งซึ่งใช้เวลาในการ execute มากที่สุด

1.10 คำสั่งซึ่งใช้เวลาในการ execute น้อยที่สุด

2. จากโปรเซสเซอร์ที่กล่าวถึงในข้อ 1. ต้องการเปลี่ยนให้ทำงานแบบ multi-cycle จงวาด block diagram

เพิ่ม

เติมเพื่อให้ สามารถใช้งานในลักษณะของ multi-cycle data path ได้ และเขียนไดอะแกรม แสดงการทำงาน

ในแต่ละ cycle สำหรับคำสั่ง

2.1 lw

2.2 sw

2.3 addi

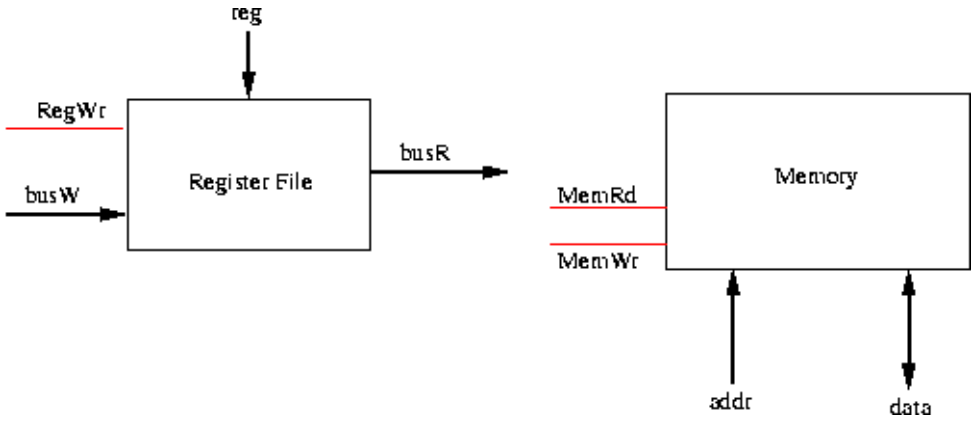
2.4 bne

2.5 j

ตัวอย่าง diagram สำหรับคำสั่ง sub

IR <- MEM[PC]	
SUB	A <- R[rs]; B <- R[rd]
	S <- A - B
	R[rt] <- S; PC <- PC + 4

3. จากโปรเซสเซอร์ที่กล่าวถึงในข้อ 2. (ทำงานแบบ multi-cycle) ต้องการที่จะเปลี่ยนแปลง component ภายใน data path โดยการลดความซับซ้อนของ register file และ เปลี่ยนไปใช้หน่วยความจำแบบ unified memory (รวม instruction memory และ data memory เข้าด้วยกัน) ดังแสดงในรูปที่ 2.



ให้ออกแบบ control unit โดยใช้วิธีการสร้าง state machine เขียน state diagram ของ control unit ซึ่งใช้ควบคุม data path ดังกล่าวให้ทำคำสั่งทั้ง 6 ในข้อ 1

หมายเหตุ: ให้เขียนเฉพาะ state และ transition โดยไม่ต้องระบุ signal ที่ต้อง control ในแต่ละ state

4. การออกแบบโปรเซสเซอร์แบบ Pipeline จงบอกว่าข้อความต่อไปนี้ถูกหรือผิด อธิบายเหตุผลประกอบ

หมายเหตุ: ถ้าไม่มีเหตุผลประกอบ หรือ อธิบายผิด จะไม่มีคะแนนสำหรับข้อนั้นๆ

4.1 เราสามารถออกแบบโปรเซสเซอร์ ซึ่งใช้สถาปัตยกรรมชุดคำสั่งใดๆ โดยใช้เทคนิคของการทำ pipeline ได้

4.2 สำหรับโปรเซสเซอร์ ซึ่งใช้สถาปัตยกรรมชุดคำสั่งเดียวกัน, ใช้เทคโนโลยี่ในการ implement แบบเดียวกัน และ เลือก design data path โดยใช้เทคนิค single-cycle/multi-cycle/pipeline

โปรเซสเซอร์ซึ่งใช้วิธีการออกแบบแบบ pipeline จะทำงานเร็วกว่า แบบ single-cycle และ multi-cycle ในทุกกรณี

4.3 ค่าเฉลี่ยของ clock cycle ต่อ instruction ของ โปรเซสเซอร์ที่ออกแบบโดยใช้ เทคนิค pipeline จะมีค่าใกล้เคียงกับโปรเซสเซอร์ที่ออกแบบ โดยใช้เทคนิค single-cycle datapath

4.4 ค่าความถี่ของ clock สำหรับโปรเซสเซอร์ที่ออกแบบโดยใช้ เทคนิค pipeline จะมีค่าใกล้เคียงกับ

โปรเซสเซอร์ที่ออกแบบ โดยใช้เทคนิค single-cycle datapath

4.5 จำนวน stage ของ pipeline มีค่าสัมพัทธ์กับความเร็วในการ execute ของโปรเซสเซอร์

5. การแก้ไข Pipeline Hazard

5.1 จากโจทย์ในข้อที่ 3 ซึ่งใช้ unified memory และ simplified register file จะก่อให้เกิดปัญหา pipeline

hazard แบบใด และ มีวิธีการแก้ปัญหาอย่างไร?

5.2 delay branch เกี่ยวข้องกับ pipeline hazard อย่างไร และมีข้อจำกัดอย่างไร?

5.3 อธิบายวิธีการแก้ปัญหา Write-After-Write และ Write-After-Read data hazard สำหรับโปรเซสเซอร์

ซึ่งใช้สถาปัตยกรรมของชุดคำสั่งแบบ RISC และใช้วิธีการเข้าถึงหน่วยความจำโดย load/store architecture

ฉัตรชัย จันทร์พริ้ม
25 กุมภาพันธ์ 2546