ชื่อ-สกุล.....รหัส.....

มหาวิทยาลัยสงขลานครินทร์

คณะวิศวกรรมศาสตร์

สอบกลางภาค: ภาคการศึกษาที่ 1 **ปีการศึกษา:** 2547

วันที่สอบ: 4 สิงหาคม 2547 **เวลาสอบ:** 9.00-12.00 น.

รหัสวิชา: 240-235 **ห้องสอบ:** R-300

ชื่อวิชา: Microprocessor Architecture And System Design

อ่านรายละเอียดของข้อสอบ และคำแนะนำให้เข้าใจก่อนเริ่มทำข้อสอบ

เวลา: 3 ชั่วโมง (180 นาที)

รายละเอียดของข้อสอบ: ข้อสอบมีทั้งหมด 19 หน้า

- เป็นกระดาษคำถามจำนวน 9 หน้า
- เป็น Datasheet จำนวน 10 หน้า

อนุญาต: เครื่องเขียนต่างๆ เช่น ปากกา หรือดินสอ

ไม่อนุญาต: หนังสือและสมุดโน๊ตใดๆ เข้าห้องสอบ

คำสั่ง:

- ให้ทำทุกข้อ
- คำตอบทั้งหมดจะต้องเขียนลงในข้อสอบ
- เขียนชื่อและรหัสให้ชัดเจนในข้อสอบ<u>ทุกแผ่น</u>
- คำตอบส่วนใดอ่านไม่ออก จะถือว่าคำตอบนั้นผิด
- อ่านคำสั่งเพิ่มเติมในแต่ละข้อให้ชัดเจน
- **ทุจริตในการสอบมีโทษขั้นต่ำปรับตกในรายวิชานั้น และพักการเรียน 1 ภาคการศึกษา โทษสูงสุดให้ออก**

ชื่อ-สกุล.....รหัส.....

1. จงอธิบายความหมายของคำต่างๆ ต่อไปนี้ (10 คะแนน)

- Address bus.....

- Control bus.....

- Data bus.....

- Flag.....

- Program monitor.....

- Non maskable Interrupt.....

- Interrupt Vector.....

- DMA.....

- Overflow.....

- maskable interrupt.....

- Interrupt Service Routine.....

- Instruction set.....

- memory maped I/O.....

- Stack Pointer.....

-machine language.....

- Subroutine.....

- assembly language.....

ชื่อ-สกุล.....รหัส.....

2. หน่วยความจำตำแหน่งที่ 1000H-100AH ดังรูป เก็บคำสั่งต่างๆของ Z80 ในรูปแบบเลขฐานสอง จงหาว่าในหน่วยความจำดังกล่าวเก็บคำสั่งอะไรบ้าง โดยกำหนดให้คำสั่งแรกเริ่มต้นที่หน่วยความจำแอดเดรส 1000H

<u>คำแนะนำ</u> ให้ใช้ข้อมูลใน data sheet ที่มีมาให้ประกอบการพิจารณา (5 คะแนน)

1000H	**11011101**
1001H	**01001110**
1002H	**0000 0101**
1003H	**01110 011**
1004H	**11011101**
1005H	**00001001**
1006H	**11001001**
1007H	**00111010**
1008H	**00010100**
1009H	**11110000**
100AH	**11011001**

ชื่อ-สกุล.....รหัส.....

3. จงอธิบายขั้นตอนการเฟตช์คำสั่งของไมโครโพรเซสเซอร์ Z80 ลงหน่วยความจำกรณีที่หน่วยความจำทำงานช้ากว่าซีพียู 3 เท่า พร้อมทั้งเขียน timing diagram ประกอบ (10 คะแนน)

ชื่อ-สกุล.....รหัส.....

4. จงอธิบายหน้าที่การทำงานของขาซีพียู Z80 ต่อไปนี้(5คะแนน)

IORQ.....

MREQ.....

A0-A7.....

A8-A15.....

D0-D7.....

RESET.....

WAIT.....

BUSRQ.....

BUSGNT.....

RD.....

M1.....

HALT.....

5. จงอธิบายความหมายและเปรียบเทียบข้อดีข้อเสียระหว่างการทำการรับส่งข้อมูลกับอุปกรณ์ I/O แบบ Interrupt, Polling และ DMA (5 คะแนน)

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

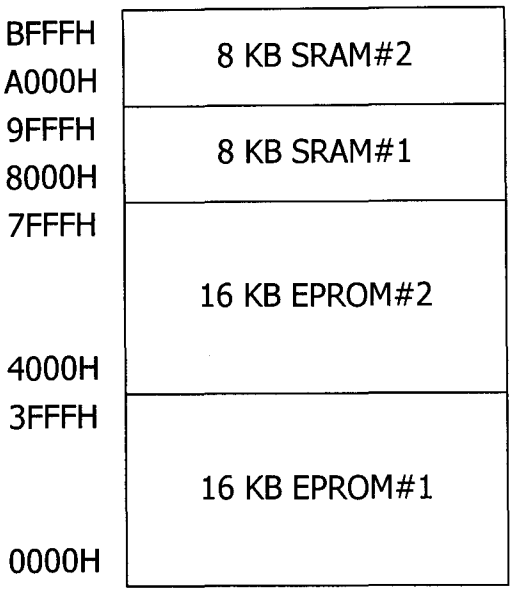
.....

.....

.....

ชื่อ-สกุล.....รหัส.....

6. จงออกแบบระบบหน่วยความจำของ Z80 พร้อมทั้งเขียนแผนภาพวงจร โดยให้มี memory map ดังรูป (10 คะแนน)



ชื่อ-สกุล.....รหัส.....

7. จงออกแบบระบบตรวจจับอย่างง่ายซึ่งใช้ไมโครโพรเซสเซอร์ Z80 ทำการต่อเซนเซอร์อินฟราเรดเพื่อนับคนเข้าห้องเรียนแล้วแสดงผลจำนวนคนเดินผ่านประตูด้วยแอลอีดี 7 เซกเมนต์ จำนวน 3 หลัก (คะแนนรวม 25 คะแนน)

7.1 จงออกแบบ schematic diagram ของวงจรดังกล่าว (10 คะแนน)

ชื่อ-สกุล.....รหัส.....

7.2 จงเขียนซอฟต์แวร์ควบคุมวงจรซึ่งได้ทำการออกแบบในข้อ 7.1 ด้วยภาษาแอสเซมบลี้ (15 คะแนน)

ชื่อ-สกุล.....รหัส.....

ตารางที่ 6-1 กลุ่มการโอนย้ายข้อมูลขนาด 8 บิต

Mnemonic	Symbolic Operation	Flags C	Z	P/V	S	N	H	Op-Code 76 543 210	No. of Bytes	No. of M Cycles	No. of T Cycles	Comments r, r'	Reg.
LD r,r'	r ← r'	•	•	•	•	•	•	01 r r'	1	1	4	000	B
LD r,n	r ← n	•	•	•	•	•	•	00 r 110 ← n →	2	2	7	001	C
LD r,(HL)	r ← (HL)	•	•	•	•	•	•	01 r 110	1	2	7	010	D
LD r,(IX+d)	r ← (IX + d)	•	•	•	•	•	•	11 011 101 01 r 110 ← d →	3	5	19	011	E
LD r,(IY+d)	r ← (IY + d)	•	•	•	•	•	•	11 111 101 01 r 110 ← d →	3	5	19	100	H
LD (HL),r	(HL) ← r	•	•	•	•	•	•	01 110 r	1	2	7	101	L
LD (IX+d),r	(IX + d) ← r	•	•	•	•	•	•	11 011 101 01 110 r ← d →	3	5	19	111	A
LD (IY+d),r	(IY + d) ← r	•	•	•	•	•	•	11 111 101 01 110 r ← d →	3	5	19		
LD (HL),n	(HL) ← n	•	•	•	•	•	•	00 110 110 ← n →	2	3	10		
LD (IX+d),n	(IX + d) ← n	•	•	•	•	•	•	11 011 101 00 110 110 ← d → ← n →	4	5	19		
LD (IY+d),n	(IY + d) ← n	•	•	•	•	•	•	11 111 101 00 110 110 ← d → ← n →	4	5	19		
LD A,(BC)	A ← (BC)	•	•	•	•	•	•	00 001 010	1	2	7		
LD A,(DE)	A ← (DE)	•	•	•	•	•	•	00 011 010	1	2	7		
LD A,(nn)	A ← (nn)	•	•	•	•	•	•	00 111 010 ← n → ← n →	3	4	13		
LD (BC),A	(BC) ← A	•	•	•	•	•	•	00 000 010	1	2	7		
LD (DE),A	(DE) ← A	•	•	•	•	•	•	00 010 010	1	2	7		
LD (nn),A	(nn) ← A	•	•	•	•	•	•	00 110 010 ← n → ← n →	3	4	13		
LD, A,I	A ← I	•	↕	IFF	↕	0	0	11 101 101 01 010 111	2	2	9		
LD A,R	A ← R	•	↕	IFF	↕	0	0	11 101 101 01 011 111	2	2	9		
LD, I,A	I ← A	•	•	•	•	•	•	11 101 101 01 000 111	2	2	9		
LD R,A	R ← A	•	•	•	•	•	•	11 101 101 01 001 111	2	2	9		

Notes:
r, r' means any of the registers A, B, C, D, E, H, L
IFF the content of the interrupt enable flip-flop (IFF) is copied into the P/V flag.
Flag Notation:
• = flag not affected, 0 = flag reset, 1 = flag set, X = flag is unknown,
↕ = flag is affected according to the result of the operation.

ชื่อ-สกุล.....รหัส.....

ตารางที่ 6-2 กลุ่มการโอนย้ายข้อมูลขนาด 16 บิต

Mnemonic	Symbolic Operation	Flags C	Z	P/V	S	N	H	Op-Code 76 543 210	No. of Bytes	No. of M Cycles	No. of T States	Comments
LD dd,nn	dd ← nn	●	●	●	●	●	●	00 dd0 001 ← n → ← n →	3	3	10	dd Pair 00 BC 01 DE 10 HL 11 SP
LD IX,nn	IX ← nn	●	●	●	●	●	●	11 011 101 00 100 001 ← n → ← n →	4	4	14	
LD IY,nn	IY ← nn	●	●	●	●	●	●	11 111 101 00 100 001 ← n → ← n →	4	4	14	
LD HL,(nn)	H ← (nn + 1) L ← (nn)	●	●	●	●	●	●	00 101 010 ← n → ← n →	3	5	16	
LD, dd,(nn)	dd_H ← (nn + 1) dd_L ← (nn)	●	●	●	●	●	●	11 101 101 01 dd1 011 ← n → ← n →	4	6	20	
LD IX,(nn)	IX_H ← (nn + 1) IX_L ← (nn)	●	●	●	●	●	●	11 011 101 00 101 010 ← n → ← n →	4	6	20	
LD IY,(nn)	IY_H ← (nn + 1) IY_L ← (nn)	●	●	●	●	●	●	11 111 101 00 101 010 ← n → ← n →	4	6	20	
LD (nn),HL	(nn + 1) ← H (nn) ← L	●	●	●	●	●	●	00 100 010 ← n → ← n →	3	5	16	
LD (nn),dd	(nn + 1) ← dd_H (nn) ← dd_L	●	●	●	●	●	●	11 101 101 01 dd0 011 ← n → ← n →	4	6	20	
LD (nn),IX	(nn + 1) ← IX_H (nn) ← IX_L	●	●	●	●	●	●	11 011 101 00 100 010 ← n → ← n →	4	6	20	
LD (nn),IY	(nn + 1) ← IY_H (nn) ← IY_L	●	●	●	●	●	●	11 111 101 00 100 010 ← n → ← n →	4	6	20	
LD SP,HL	SP ← HL	●	●	●	●	●	●	11 111 001	1	1	6	
LD SP,IX	SP ← IX	●	●	●	●	●	●	11 011 101 11 111 001	2	2	10	
LD SP,IY	SP ← IY	●	●	●	●	●	●	11 111 101 11 111 001	2	2	10	
PUSH qq	(SP — 2) ← qq_L (SP — 1) ← qq_H	●	●	●	●	●	●	11 qq0 101	1	3	11	qq Pair 00 BC 01 DE 10 HL 11 AF
PUSH IX	(SP — 2) ← IX_L (SP — 1) ← IX_H	●	●	●	●	●	●	11 011 101 11 100 101	2	4	15	
PUSH IY	(SP — 2) ← IY_L (SP — 1) ← IY_H	●	●	●	●	●	●	11 111 101 11 100 101	2	4	15	
POP qq	qq_H ← (SP + 1) qq_L ← (SP)	●	●	●	●	●	●	11 qq0 001	1	3	10	
POP IX	IX_H ← (SP + 1) IX_L ← (SP)	●	●	●	●	●	●	11 011 101 11 100 001	2	4	14	
POP IY	IY_H ← (SP + 1) IY_L ← (SP)	●	●	●	●	●	●	11 111 101 11 100 001	2	4	14	

Notes:
dd is any of the register pairs BC, DE, HL, SP
qq is any of the register pairs AF, BC, DE, HL

ชื่อ-สกุล.....รหัส.....

ตารางที่ 6-3 กลุ่มการแลกเปลี่ยนข้อมูล โอนย้ายข้อมูลเป็นกลุ่ม และการค้นหาข้อมูล

Mnemonic	Symbolic Operation	Flags C	Z	P/V	S	N	H	Op-Code 76 543 210	No. of Bytes	No. of M Cycles	No. of T States	Comments
EX DE,HL	DE ↔ HL	●	●	●	●	●	●	11 101 011	1	1	4	
EX AF,AF'	AF ↔ AF'	●	●	●	●	●	●	00 001 000	1	1	4	
EXX	(BC BC' / DE ↔ DE' / HL HL')	●	●	●	●	●	●	11 011 001	1	1	4	Register bank and auxiliary register bank exchange
EX (SP),HL	H ↔ (SP + 1) L ↔ (SP)	●	●	●	●	●	●	11 100 011	1	5	19	
EX (SP),IX	IX_H ↔ (SP + 1) IX_L ↔ (SP)	●	●	●	●	●	●	11 011 101 11 100 011	2	6	23	
EX (SP),IY	IY_H ↔ (SP + 1) IY_L ↔ (SP)	●	●	●	●	●	●	11 111 101 11 100 011	2	6	23	
LDI	(DE) ← (HL) DE ← DE + 1 HL ← HL + 1 BC ← BC — 1	●	●	① ↕	●	0	0	11 101 101 10 100 000	2	4	16	Load (HL) into (DE), increment the pointers and decrement the byte counter (BC)
LDIR	(DE) ← (HL) DE ← DE + 1 HL ← HL + 1 BC ← BC — 1 Repeat until BC = 0	●	●	0 ① ↕	●	0	0	11 101 101 10 110 000	2 2	5 4	21 16	If BC ≠ 0 If BC = 0
LDD	(DE) ← (HL) DE ← DE — 1 HL ← HL — 1 BC ← BC — 1	●	●	① ↕	●	0	0	11 101 101 10 101 000	2	4	16	
LDDR	(DE) ← (HL) DE ← DE — 1 HL ← HL — 1 BC ← BC — 1 Repeat until BC = 0	●	●	0 ① ↕	●	0	0	11 101 101 10 111 000	2 2	5 4	21 16	If BC ≠ 0 If BC = 0
CPI	A — (HL) HL ← HL + 1 BC ← BC — 1	●	② ↕	① ↕	↕	1	↕	11 101 101 10 100 001	2	4	16	
CPIR	A — (HL) HL ← HL + 1 BC ← BC — 1 Repeat until A = (HL) or BC = 0	●	② ↕	① ↕	↕	1	↕	11 101 101 10 110 001	2 2	5 4	21 16	If BC ≠ 0 and A ≠ (HL) If BC = 0 or A = (HL)
CPD	A — (HL) HL ← HL — 1 BC ← BC — 1	●	② ↕	① ↕	↕	1	↕	11 101 101 10 101 001	2	4	16	
CPDR	A — (HL) HL ← HL — 1 BC ← BC — 1 Repeat until A = (HL) or BC = 0	●	② ↕	① ↕	↕	1	↕	11 101 101 10 111 001	2 2	5 4	21 16	If BC ≠ 0 and A ≠ (HL) If BC = 0 or A = (HL)

Notes:
① P/V flag is 0 if the result of BC — 1 = 0, otherwise P/V = 1
② Z flag is 1 if A = (HL), otherwise Z = 0.

ชื่อ-สกุล.....รหัส.....

ตารางที่ 6-4 กลุ่มการทำงานคณิตศาสตร์และลอจิก 8 บิต

Mnemonic	Symbolic Operation	Flags C	Z	P/V	S	N	H	Op-Code 76	543	210	No. of Bytes	No. of M Cycles	No. of T States	Comments
ADD r	A ← A + r	↕	↕	V	↕	0	↕	10	000	r	1	1	4	r Reg.
ADD n	A ← A + n	↕	↕	V	↕	0	↕	11	000	110	2	2	7	000 B
														001 C
								←	n	→				010 D
ADD (HL)	A ← A + (HL)	↕	↕	V	↕	0	↕	10	000	110	1	2	7	011 E
ADD (IX+d)	A ← A + (IX + d)	↕	↕	V	↕	0	↕	11	011	101	3	5	19	100 H
								10	000	110				101 L
								←	d	→				111 A
ADD (IY+d)	A ← A + (IY + d)	↕	↕	V	↕	0	↕	11	111	101	3	5	19	
								10	000	110				
								←	d	→				
ADC s	A ← A + s + CY	↕	↕	V	↕	0	↕		001					s is any of r, n,
SUB s	A ← A − s	↕	↕	V	↕	1	↕		010					(HL), (IX + d)
SBC s	A ← A − s − CY	↕	↕	V	↕	1	↕		011					(IY + d) as shown for
AND s	A ← A ∧ s	0	↕	P	↕	0	1		100					ADD instruction.
OR s	A ← A ∨ s	0	↕	P	↕	0	0		110					The indicated bits replace
XOR s	A ← A ⊕ s	0	↕	P	↕	0	0		101					the 000 in the ADD set
CP s	A − s	↕	↕	V	↕	1	↕		111					above.
INC r	r ← r + 1	•	↕	V	↕	0	↕	00	r	100	1	1	4	
INC (HL)	(HL) ← (HL) + 1	•	↕	V	↕	0	↕	00	110	100	1	3	11	
INC (IX+d)	(IX + d) ←	•	↕	V	↕	0	↕	11	011	101	3	6	23	
	(IX + d) + 1							00	110	100				
								←	d	→				
INC (IY+d)	(IY + d) ←	•	↕	V	↕	0	↕	11	111	101	3	6	23	
	(IY + d) + 1							00	110	100				
								←	d	→				
DEC d	d ← d − 1	•	↕	V	↕	1	↕			101				d is any of r, (HL),
														(IX + d), (IY + d) as
														shown for INC.
														Same format and states
														as INC.
														Replace 100 with 101 in
														OP code.

Notes:
The V symbol in the P/V flag column indicates that the P/V flag contains the overflow of the result of the operation. Similarly the P symbol indicates parity. V = 1 means overflow, V = 0 means not overflow, P = 1 means parity of the result is even, P = 0 means parity of the result is odd.

Flag Notation:
• = flag not affected, 0 = flag reset, 1 = flag set, X = flag is unknown,
↕ = flag is affected according to the result of the operation.

ชื่อ-สกุล.....รหัส.....

ตารางที่ 6-5 กลุ่มการทำทางคณิตศาสตร์ทั่วไป และควบคุมการทำงานของซีพียู

Mnemonic	Symbolic Operation	Flags C	Z	P/V	S	N	H	Op-Code 76 543 210	No. of Bytes	No. of M Cycles	No. of T States	Comments
DAA	Converts acc. content into packed bcd following add or subtract with packed bcd operands	↕	↕	P	↕	●	↕	00 100 111	1	1	4	Decimal adjust accumulator
CPL	$A \leftarrow \overline{A}$	●	●	●	●	1	1	00 101 111	1	1	4	Complement accumulator (one's complement)
NEG	A ← 0 — A	↕	↕	V	↕	1	↕	11 101 101 01 000 100	2	2	8	Negate acc. (two's complement)
CCF	$CY \leftarrow \overline{CY}$	↕	●	●	●	0	X	00 111 111	1	1	4	Complement carry flag
SCF	CY ← 1	1	●	●	●	0	0	00 110 111	1	1	4	Set carry flag
NOP	No operation	●	●	●	●	●	●	00 000 000	1	1	4	
HALT	CPU halted	●	●	●	●	●	●	01 110 110	1	1	4	
DI	IFF ← 0	●	●	●	●	●	●	11 110 011	1	1	4	
EI	IFF ← 1	●	●	●	●	●	●	11 111 011	1	1	4	
IM 0	Set interrupt mode 0	●	●	●	●	●	●	11 101 101 01 000 110	2	2	8	
IM 1	Set interrupt mode 1	●	●	●	●	●	●	11 101 101 01 010 110	2	2	8	
IM 2	Set interrupt mode 2	●	●	●	●	●	●	11 101 101 01 011 110	2	2	8	

Notes:
IFF indicates the interrupt enable flip-flop
CY indicates the carry flip-flop.
Flag Notation:
● = flag not affected, 0 = flag reset, 1 = flag set, X = flag is unknown,
↕ = flag is affected according to the result of the operation.

Mnemonic	Symbolic Operation	Flags C	Z	P/V	S	N	H	Op-Code 76 543 210	No. of Bytes	No. of M Cycles	No. of T States	Comments
RETI	Return from interrupt	●	●	●	●	●	●	11 101 101 01 001 101	2	4	14	
RETN	Return from nonmaskable interrupt	●	●	●	●	●	●	11 101 101 01 000 101	2	4	14	
RST p	(SP—1) ← PC_H (SP — 2) ← PC_L PC_H ← 0 PC_L ← P	●	●	●	●	●	●	11 t 111	1	3	11	

cc	Condition
000	NZ nonzero
001	Z zero
010	NC noncarry
011	C carry
100	PO parity odd
101	PE parity even
110	P sign positive
111	M sign negative

t	P
000	00H
001	08H
010	10H
011	18H
100	20H
101	28H
110	30H
111	38H

Notes:
e represents the extension in the relative addressing mode.
e is a signed two's complement number in the range <—126, 129>
e — 2 in the op-code provides an effective address of pe + e as PC is incremented by 2 prior to the addition of e.
Flag Notation:
● = flag not affected, 0 = flag reset, 1 = flag set, X = flag is unknown,

ชื่อ-สกุล.....รหัส.....

ตารางที่ 6-6 กลุ่มการทำทางคณิตศาสตร์ขนาด 16 บิต

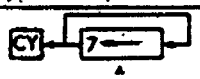
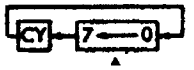
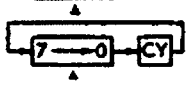
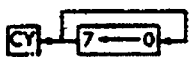
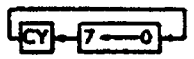
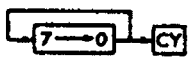
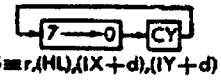
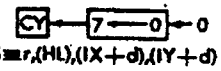
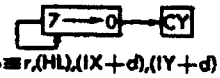
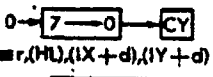
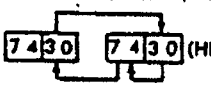
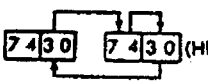
Mnemonic	Symbolic Operation	Flags						Op-Code	No. of Bytes	No. of M Cycles	No. of T States	Comments	
		C	Z	P/V	S	N	H	76 543 210					
ADD HL,ss	HL ← HL + ss	↕	●	●	●	0	X	00 ss1 001	1	3	11	ss	Reg.
ADC HL,ss	HL ← HL + ss + CY	↕	↕	V	↕	0	X	11 101 101 01 ss1 010	2	4	15	00 01 10 11	BC DE HL SP
SBC HL,ss	HL ← HL − ss − CY	↕	↕	V	↕	1	X	11 101 101 01 ss0 010	2	4	15		
ADD IX,pp	IX ← IX + pp	↕	●	●	●	0	X	11 011 101 00 pp1 001	2	4	15	pp 00 01 10 11	Reg. BC DE IX SP
ADD IY,rr	IY ← IY + rr	↕	●	●	●	0	X	11 111 101 00 rr1 001	2	4	15	rr 00 01 10 11	Reg. BC DE IY SP
INC ss	ss ← ss + 1	●	●	●	●	●	●	00 ss0 011	1	1	6		
INC IX	IX ← IX + 1	●	●	●	●	●	●	11 011 101 00 100 011	2	2	10		
INC IY	IY ← IY + 1	●	●	●	●	●	●	11 111 101 00 100 011	2	2	10		
DEC ss	ss ← ss − 1	●	●	●	●	●	●	00 ss1 011	1	1	6		
DEC IX	IX ← IX − 1	●	●	●	●	●	●	11 011 101 00 101 011	2	2	10		
DEC IY	IY ← IY − 1	●	●	●	●	●	●	11 111 101 00 101 011	2	2	10		

Notes:
ss is any of the register pairs BC, DE, HL, SP
pp is any of the register pairs BC, DE, IX, SP
rr is any of the register pairs BC, DE, IY, SP.

Flag Notation:
● = flag not affected, 0 = flag reset, 1 = flag set, X = flag is unknown,
↕ = flag is affected according to the result of the operation.

ชื่อ-สกุล.....รหัส.....

ตารางที่ 6-7 กลุ่มการหมุนและเลื่อนข้อมูล

Mnemonic	Symbolic Operation	Flags C	Z	P/V	S	N	H	Op-Code 76 543 210	No. of Bytes	No. of M Cycles	No. of T States	Comments
RLCA		↕	•	•	•	0	0	00 000 111	1	1	4	Rotate left circular accumulator
RLA		↕	•	•	•	0	0	00 010 111	1	1	4	Rotate left accumulator
RRCA		↕	•	•	•	0	0	00 001 111	1	1	4	Rotate right circular accumulator
RRA		↕	•	•	•	0	0	00 011 111	1	1	4	Rotate right accumulator
RLC r		↕	↕	P	↕	0	0	11 001 011 00 000 r	2	2	8	Rotate left circular register r
RLC (HL)		↕	↕	P	↕	0	0	11 001 011 00 000 110	2	4	15	r Reg. 000 B
RLC (IX+d)	 r,(HL),(IX+d),(IY+d)							11 011 101 11 001 011 ← d → 00 000 110	4	6	23	001 C 010 D 011 E 100 H 101 L 111 A
RLC (IY+d)		↕	↕	P	↕	0	0	11 111 101 11 001 011 ← d → 00 000 110	4	6	23	Instruction format and states are as shown for RLC,s. To form new
RL s	 S≡r,(HL),(IX+d),(IY+d)	↕	↕	P	↕	0	0	010				
RRC s	 S≡r,(HL),(IX+d),(IY+d)	↕	↕	P	↕	0	0	001				OP-code replace 000 of RLC,s with shown code
RR s	 S≡r,(HL),(IX+d),(IY+d)	↕	↕	P	↕	0	0	011				
SLA s	 S≡r,(HL),(IX+d),(IY+d)	↕	↕	P	↕	0	0	100				
SRA s	 S≡r,(HL),(IX+d),(IY+d)	↕	↕	P	↕	0	0	101				
SRL s	 S≡r,(HL),(IX+d),(IY+d)	↕	↕	P	↕	0	0	111				
RLD		•	↕	P	↕	0	0	11 101 101 01 101 111	2	5	18	Rotate digit left and right between the accumulator and location (HL). The content of the upper half of the accumulator is unaffected
RRD		•	↕	P	↕	0	0	11 101 101 01 100 111	2	5	18	

Flag Notation:
• = flag not affected, 0 = flag reset, 1 = flag set, X = flag is unknown,
↕ = flag is affected according to the result of the operation.

ชื่อ-สกุล.....รหัส.....

ตารางที่ 6-8 กลุ่มการเซต รีเซตและทดสอบบิต

Mnemonic	Symbolic Operation	Flags C	Z	P/V	S	N	H	Op-Code 76	543	210	No. of Bytes	No. of M Cycles	No. of T States	Comments
BIT b,r	$Z \leftarrow \overline{r_b}$	●	↕	X	X	0	1	11	001	011	2	2	8	
								01	b	r				
BIT b,(HL)	$Z \leftarrow \overline{(HL)_b}$	●	↕	X	X	0	1	11	001	011	2	3	12	
								01	b	110				
BIT b,(IX+d)	$\leftarrow \overline{(IX+d)_b}$	●	↕	X	X	0	1	11	011	101	4	5	20	
								11	001	011				
								←	d	→				
								01	b	110				
BIT b,(IY+d)	$Z \leftarrow (IY+d)_b$	●	↕	X	X	0	1	11	111	101	4	5	20	
								11	001	011				
								←	d	→				
								01	b	110				
SET b,r	$r_b \leftarrow 1$	●	●	●	●	●	●	11	001	011	2	2	8	
								[11]	b	r				
SET b,(HL)	$(HL)_b \leftarrow 1$	●	●	●	●	●	●	11	001	011	2	4	15	
								[11]	b	110				
SET b,(IX+d)	$(IX+d)_b \leftarrow 1$	●	●	●	●	●	●	11	011	101	4	6	23	
								11	001	011				
								←	d	→				
								[11]	b	110				
SET b,(IY+d)	$(IY+d)_b \leftarrow 1$	●	●	●	●	●	●	11	111	101	4	6	23	
								11	001	011				
								←	d	→				
								[11]	b	110				
RES b,s	$s_b \leftarrow 0$							[10]						To form new OP-code replace [11] of SET b,s with [10]. Flags and time states for SET instruction
	s ≡ r,(HL), (IX + d), (IY + d)													

b	Bit Tested
000	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

r	Reg.
000	B
001	C
010	D
011	E
100	H
101	L
111	A

Notes:
The notation s_b indicates bit b (0 to 7) of location s.

Flag Notation:
● = flag not affected, 0 = flag reset, 1 = flag set, X = flag is unknown,
↕ = flag is affected according to the result of the operation.

ชื่อ-สกุล.....รหัส.....

ตารางที่ 6-9 กลุ่มการกระโดด การเรียกใช้และกลับจากโปรแกรมย่อย

Mnemonic	Symbolic Operation	Flags						Op-Code			No. of Bytes	No. of M Cycles	No. of T States	Comments
		C	Z	P/V	S	N	H	76	543	210				
JP nn	PC ← nn	•	•	•	•	•	•	11	000	011	3	3	10	
								←	n	→				
								←	n	→				
JP cc,nn	If condition cc is true PC ← nn, otherwise continue	•	•	•	•	•	•	11	cc	010	3	3	10	
								←	n	→				
								←	n	→				
JR e	PC ← PC + e	•	•	•	•	•	•	00	011	000	2	3	12	
								←	e − 2	→				
JR C,e	If C = 0, continue	•	•	•	•	•	•	00	111	000	2	2	7	If condition not met
								←	e − 2	→				
	If C = 1, PC ← PC + e										2	3	12	If condition is met
JR NC,e	If C = 1, continue	•	•	•	•	•	•	00	110	000	2	2	7	If condition not met
								←	e − 2	→				
	If C = 0, PC ← PC + e										2	3	12	If condition is met
JR Z,e	If Z = 0 continue	•	•	•	•	•	•	00	101	000	2	2	7	If condition not met
								←	e − 2	→				
	If Z = 1, PC ← PC + e										2	3	12	If condition is met
JR NZ,e	If Z = 1, continue	•	•	•	•	•	•	00	100	000	2	2	7	If condition not met
								←	e − 2	→				
	If Z = 0, PC ← PC + e										2	3	12	If condition met
JP (HL)	PC ← HL	•	•	•	•	•	•	11	101	001	1	1	4	
JP (IX)	PC ← IX	•	•	•	•	•	•	11	011	101	2	2	8	
								11	101	001				
JP (IY)	PC ← IY	•	•	•	•	•	•	11	111	101	2	2	8	
								11	101	001				
DJNZ, e	B ← B−1	•	•	•	•	•	•	00	010	000	2	2	8	If B = 0
	If B = 0, continue							←	e − 2	→				
	If B ≠ 0, PC ← PC + e										2	3	13	If B ≠ 0
CALL nn	(SP−1) ← PC_H	•	•	•	•	•	•	11	001	101	3	5	17	
	(SP−2) ← PC_L							←	n	→				
	PC ← nn							←	n	→				
CALL cc, nn	If condition cc is false continue,	•	•	•	•	•	•	11	cc	100	3	3	10	If cc is false
	otherwise same as CALL nn							←	n	→				
								←	n	→	3	5	17	If cc is true
RET	PC_L ← (SP)	•	•	•	•	•	•	11	001	001	1	3	10	
	PC_H ← (SP + 1)													
RET cc	If condition cc is false continue,	•	•	•	•	•	•	11	cc	000	1	1	5	If cc is false
	otherwise same as RET										1	3	11	If cc is true

cc	Condition
000	NZ nonzero
001	Z zero
010	NC noncarry
011	C carry
100	PO parity odd
101	PE parity even
110	P sign positive
111	M sign negative

cc	Condition
000	NZ nonzero
001	Z zero
010	NC noncarry
011	C carry
100	PO parity odd
101	PE parity even
110	P sign positive
111	M sign negative

ชื่อ-สกุล.....รหัส.....

ตารางที่ 6-10 กลุ่มอินพุตและเอาต์พุต

Mnemonic	Symbolic Operation	Flags C	Z	P/V	S	N	H	Op-Code 76 543 210	No. of Bytes	No. of M Cycles	No. of T States	Comments
IN A,(n)	A ← (n)	●	●	●	●	●	●	11 011 011 ← n →	2	3	11	n to A_0–A_7 Acc to A_8–A_{15}
IN r,(C)	r ← (C) if r = 110 only the flags will be affected	●	↕	P	↕	0	↕	11 101 101 01 r 000	2	3	11	C to A_0–A_7 B to A_8–A_{15}
INI	(HL) ← (C) B ← B − 1 HL ← HL + 1	●	① ↕	X	X	1	X	11 101 101 10 100 010	2	4	16	C to A_0–A_7 B to A_8–A_{15}
INIR	(HL) ← (C) B ← B − 1 HL ← HL + 1 Repeat until B = 0	●	1	X	X	1	X	11 101 101 10 110 010	2 (If B ≠ 0) 2 (If B = 0)	5 4	21 16	C to A_0–A_7 B to A_8–A_{15}
IND	(HL) ← (C) B ← B − 1 HL ← HL − 1	●	① ↕	X	X	1	X	11 101 101 10 101 010	2	4	16	C to A_0–A_7 B to A_8–A_{15}
INDR	(HL) ← (C) B ← B − 1 HL ← HL − 1 Repeat until B = 0	●	1	X	X	1	X	11 101 101 10 111 010	2 (If B ≠ 0) 2 (If B = 0)	5 4	21 16	C to A_0–A_7 B to A_8–A_{15}
OUT (n),A	(n) ← A	●	●	●	●	●	●	11 010 011 ← n →	2	3	11	n to A_0–A_7 Acc to A_8–A_{15}
OUT (C),r	(C) ← r	●	●	●	●	●	●	11 101 101 01 r 001	2	3	12	C to A_0–A_7 B to A_8–A_{15}
OUTI	(C) ← (HL) B ← B − 1 HL ← HL + 1	●	① ↕	X	X	1	X	11 101 101 10 100 011	2	4	16	C to A_0–A_7 B to A_8–A_{15}
OTIR	(C) ← (HL) B ← B − 1 HL ← HL + 1 Repeat until B = 0	●	1	X	X	1	X	11 101 101 10 110 011	2 (If B ≠ 0) 2 (If B = 0)	5 4	21 16	C to A_0–A_7 B to A_8–A_{15}
OUTD	(C) ← (HL) B ← B − 1 HL ← HL − 1	●	① ↕	X	X	1	X	11 101 101 10 101 011	2	4	16	C to A_0–A_7 B to A_8–A_{15}
OTDR	(C) ← (HL) B ← B − 1 HL ← HL − 1 Repeat until B = 0	●	1	X	X	1	X	11 101 101 10 111 011	2 (If B ≠ 0) 2 (If B = 0)	5 4	21 16	C to A_0–A_7 B to A_8–A_{15}

Notes:
① If the result of B − 1 is zero the Z flag is set, otherwise it is reset.

Flag Notation:
● = flag not affected, 0 = flag reset, 1 = flag set, X = flag is unknown,
↕ = flag is affected according to the result of the operation.