ชื่อ-สกุล .... รหัส..

มหาวิทยาลัยสงขลานครินทร์

คณะวิศวกรรมศาสตร์

สอบกลางภาค: ภาคการศึกษาที่ 1	**ปีการศึกษา:** 2547
วันที่สอบ: 5 สิงหาคม 2547	**เวลาสอบ:** 13.30-16.30 น.
รหัสวิชา: 240-305	**ห้องสอบ:** A-401

ชื่อวิชา: Microprocessor Architecture and Assembly language

อ่านรายละเอียดของข้อสอบ และคำแนะนำให้เข้าใจก่อนเริ่มทำข้อสอบ

เวลา: 3 ชั่วโมง (180 นาที)

รายละเอียดของข้อสอบ: ข้อสอบมีทั้งหมด 16 หน้า

- เป็นกระดาษคำถามจำนวน 9 หน้า
- เป็น Datasheet จำนวน 7 หน้า

อนุญาต: เครื่องเขียนต่าง ๆ เช่น ปากกา หรือดินสอ

ไม่อนุญาต: หนังสือและสมุดโน๊ตใด ๆ เข้าห้องสอบ

คำสั่ง:

- ให้ทำทุกข้อ
- คำตอบทั้งหมดจะต้องเขียนลงในข้อสอบ
- **เขียนชื่อและรหัสให้ชัดเจนในข้อสอบทุกแผ่น แผ่นใดไม่เขียนหรือเขียนไม่ครบจะถูกหักคะแนน 1 คะแนน**
- คำตอบส่วนใดอ่านไม่ออก จะถือว่าคำตอบนั้นผิด
- อ่านคำสั่งเพิ่มเติมในแต่ละข้อให้ชัดเจน
- **ทุจริตในการสอบมีโทษขั้นต่ำปรับตกในรายวิชานั้นและพักการเรียน 1 ภาคการศึกษา โทษสูงสุดให้ออก**

ชื่อ-สกุล _ _ _ _ _ _ _ _ _ _ _ _ _ ....รหัส..

1. จงอธิบายว่า ไมโครคอนโทรลเลอร์ (Microcontroller) มีความแตกต่างจาก ไมโครโปรเซสเซอร์ (Microprocessor) อย่างไร (2 คะแนน)

....

....

....

....

....

....

....

2. คุณสมบัติต่อไปนี้ เป็นคุณสมบัติของไมโครคอนโทรลเลอร์ตระกูล MCS-51 อยากทราบว่า ข้อใดต่อไปนี้ถูกหรือผิด ถ้าผิดควรแก้ไขให้ถูกต้องด้วย (3 คะแนน)

.... 1) มีหน่วยประมวลผลกลางขนาด 16 บิต

....

.... 2) มีพอร์ตขนานภายในขนาด 8 บิต จำนวน 3 พอร์ท

....

.... 3) โปรแกรมและข้อมูลถูกเก็บไว้ในหน่วยความจำเดียวกัน

....

.... 4) มีวงจรสื่อสารแบบอนุกรม 1 วงจร โดยมีการส่งข้อมูลแบบ half duplex

....

.... 5) สามารถต่อหน่วยความจำภายนอกได้สูงสุด 32 kbytes

....

.... 6) หากแบ่งประเภทของคำสั่งตามจำนวนแมชชีนไซเคิล สามารถแบ่งออกเป็น 3 ประเภทได้แก่ คำสั่งที่ใช้เวลาในการทำงาน 1 , 2 และ 3 แมชชีนไซเคิล

....

....

3. MCS-51 เบอร์ AT89C52 ภายในมี flash memory ขนาด 8 kbytes จงบอกว่า แอดเดรสที่อ้างถึงต่อไปนี้ หมายถึง หน่วยความจำภายในหรือหน่วยความจำภายนอกไมโครคอนโทรลเลอร์ที่ต่อเพิ่มเข้ามา (3 คะแนน)

Address	$\overline{EA} = 0$	$\overline{EA} = 1$
0FFF H	....	....
1000 H	....	....
3000 H	....	....
FFFF H	....	....

ชื่อ-สกุล ....รหัส..

4. จงอธิบายความหมายของคำต่างๆ ต่อไปนี้ (7 คะแนน)

- Address bus ....

....

- Control bus ....

....

- Data bus ....

....

- Interrupt ....

....

- Harvard architecture ....

....

- Program memory ....

....

- Data memory ....

....

- machine cycle ....

....

- Overflow ....

....

- Interrupt vector ....

....

- Interrupt Service Routine ....

....

- Instruction set ....

....

- port ....

....

- Stack Pointer ....

....

-microcontroller ....

....

- Subroutine ....

....

- EPROM ....

....

ชื่อ-สกุล.....รหัส.....

5. จงตอบคำถามต่อไปนี้ พร้อมทั้งอธิบายเหตุผลประกอบอย่างละเอียด (10 คะแนน)

5.1 จริงหรือไม่ที่เราไม่สามารถต่อหน่วยความจำภายนอกให้ MCS-51 ได้เกินกว่า 64 กิโลไบต์ (2 คะแนน)

5.2 ปกติ เราจะเก็บข้อมูลลงในหน่วยความจำข้อมูล แต่ถ้ามีเนื้อที่หน่วยความจำข้อมูลไม่พอแล้ว เป็นไปได้หรือไม่ที่จะเก็บข้อมูลลงในหน่วยความจำโปรแกรม (2 คะแนน)

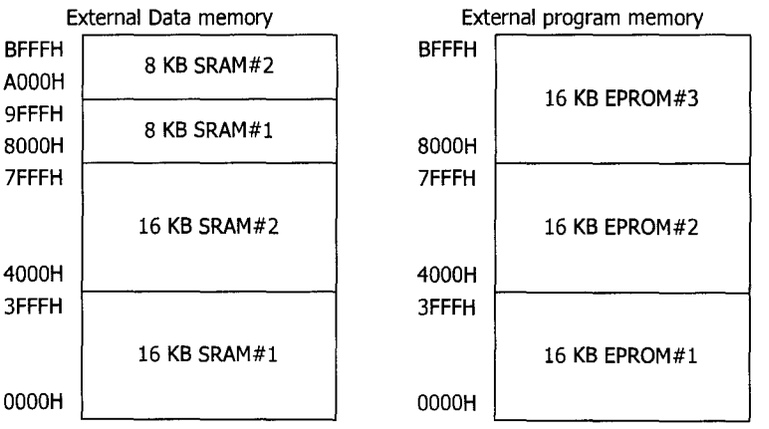
5.3 ไอซี MAX-232 หรือไอซี DS-275 มีหน้าที่ทำอะไร หากไม่ต่อไอซีนี้แล้ว MCS-51 สามารถทำงานได้หรือไม่อย่างไร จงอธิบายเหตุผลประกอบ (2 คะแนน)

5.4 จงเปรียบเทียบข้อดีข้อเสียของไอซี MAX-232 และ DS-275 (2 คะแนน)

5.5 วงจร Power-ON Reset คืออะไร มีหน้าที่อะไรในระบบไมโครโพรเซสเซอร์ หากไม่มีวงจรนี้แล้ว MCS-51 สามารถทำงานได้หรือไม่ อย่างไร (2 คะแนน)

ชื่อ-สกุล..... รหัส.....

6. จงออกแบบระบบหน่วยความจำให้กับไมโครคอนโทรลเลอร์ MCS-51 โดยมี memory map ดังรูป (10 คะแนน)



รูปที่ 1

ชื่อ-สกุล.....รหัส.....

จงใช้ข้อมูลจากรูปต่อไปนี้ในการตอบคำถามข้อที่ 7-18

คำแนะนำ ให้ดูข้อมูลจาก data sheet ประกอบการพิจารณา

Internal Data memory		External Data memory	
127	42H	5002H	67H
126	27H	5001H	48H
125	10	5000H	73H
17	5	1205H	74H
16	15	1204H	61H
15	57H	1203H	37H
14	12H	1202H	9
13	67H	1201H	4
12	C7H	1200H	6
11	35H		
10	32H		
9	6	9	36H
8	11	8	48H
7	E0H	7	9AH
6	F7H	6	67H
5	67H	5	19H
4	79H	4	E0H
3	28H	3	C7H
2	24H	2	24H
1	7FH	1	9
0	0FH	0	8

PC	2100H
ACC	11
SP	0AH
DPTR	5
B	7
PSW	EFH
P0	74
P1	E6H
P2	71H
P3	65H

รูปที่ 2

7. จากรูปที่ 2 จงหาว่าหลังจากทำคำสั่ง MOVX A,@DPTR แล้ว ค่าในรีจิสเตอร์และหน่วยความจำใดเปลี่ยนแปลง และเปลี่ยนเป็นค่าอะไร (2 คะแนน)

.....

.....

.....

8. จากรูปที่ 2 จงหาว่าหลังจากทำคำสั่ง LCALL 5100H แล้ว ค่าในรีจิสเตอร์และหน่วยความจำใดเปลี่ยนแปลง และเปลี่ยนเป็นค่าอะไร (2 คะแนน)

.....

.....

.....

.....

9. จากรูปที่ 2 จงหาว่าหลังจากทำคำสั่ง MOV PSW,#00H แล้วตามด้วยคำสั่ง SUBB A,@R1 แล้ว ค่าในรีจิสเตอร์และหน่วยความจำใดเปลี่ยนแปลง และเปลี่ยนเป็นค่าอะไร (2 คะแนน)

.....

.....

.....

.....

ชื่อ-สกุล.....รหัส.....

10. จากรูปที่ 2 จงหาว่าหลังจากทำคำสั่ง CLR PSW.4 แล้วตามด้วยคำสั่ง MOV @R1,Aแล้ว ค่าในรีจิสเตอร์และหน่วยความจำใดเปลี่ยนแปลง และเปลี่ยนเป็นค่าอะไร (2 คะแนน)

11. จากรูปที่ 2 จงหาว่าหลังจากทำคำสั่ง XRL A,05H แล้วค่าในรีจิสเตอร์และหน่วยความจำใดเปลี่ยนแปลงและเปลี่ยนเป็นค่าอะไร (2 คะแนน)

12. จากรูปที่ 2 จงหาว่าหลังจากทำคำสั่ง RET แล้ว ค่าในรีจิสเตอร์และหน่วยความจำใดเปลี่ยนแปลง และเปลี่ยนเป็นค่าอะไร (2 คะแนน)

13. จากรูปที่ 2 จงหาว่าหลังจากทำคำสั่ง INC SP แล้วตามด้วยคำสั่ง POP P0 แล้ว ค่าในรีจิสเตอร์และหน่วยความจำใดเปลี่ยนแปลง และเปลี่ยนเป็นค่าอะไร (2 คะแนน)

14. จากรูปที่ 2 จงหาว่าหลังจากทำคำสั่ง MOV DPH,#12H แล้วตามด้วยคำสั่ง MOVX @DPTR,A แล้ว ค่าในรีจิสเตอร์และหน่วยความจำใดเปลี่ยนแปลง และเปลี่ยนเป็นค่าอะไร (2 คะแนน)

15. จากรูปที่ 2 จงหาว่าหลังจากทำคำสั่ง MUL AB แล้ว ค่าในรีจิสเตอร์และหน่วยความจำใดเปลี่ยนแปลง และเปลี่ยนเป็นค่าอะไร (2 คะแนน)

ชื่อ-สกุล.....รหัส.....

16. จากรูปที่ 2 จงหาว่าหลังจากทำคำสั่ง CPL A แล้ว ค่าในรีจิสเตอร์และหน่วยความจำใดเปลี่ยนแปลง และเปลี่ยนเป็นค่าอะไร (2 คะแนน)

17. จากรูปที่ 2 จงหาว่าหลังจากทำคำสั่ง MOV F0,C แล้ว ค่าในรีจิสเตอร์และหน่วยความจำใดเปลี่ยนแปลงและเปลี่ยนเป็นค่าอะไร (2 คะแนน)

18. จากรูปที่ 2 จงหาว่าหลังจากทำคำสั่ง NOP แล้วค่าในรีจิสเตอร์และหน่วยความจำใดเปลี่ยนแปลง และเปลี่ยนเป็นค่าอะไร (2 คะแนน)

19. จงอธิบายหน้าที่การทำงานของขาซีพียู MCS-51 ต่อไปนี้(5คะแนน)

P0.....

P1.....

P2.....

P3.....

PSEN.....

ALE.....

EA.....

RST.....

XTAL1,XTAL2.....

ชื่อ-สกุล.....รหัส.....

20. หากต้องการให้ MCS-51 มองระดับความสำคัญของอินเตอร์รัพต์จากมากไปหาน้อยดังต่อไปนี้แล้ว จะต้องใช้คำสั่งอะไรสำหรับควบคุม MCS-51 (3 คะแนน)

Serial port	ลำดับความสำคัญสูงสุด
INT0	↓
Timer/Counter0	
INT1	
Timer/Counter1	ลำดับความสำคัญต่ำสุด

อ.ปัญญยศ ไชยกาฬ และ อ.พัชรี เทพนิมิตร

ผู้ออกข้อสอบ

MCS®-51 INSTRUCTION SET

Table 10. 8051 Instruction Set Summary

Interrupt Response Time: Refer to Hardware Description Chapter.

Instructions that Affect Flag Settings(1)

Instruction	Flag			Instruction	Flag		
	C	OV	AC		C	OV	AC
ADD	X	X	X	CLR C	0		
ADDC	X	X	X	CPL C	X		
SUBB	X	X	X	ANL C,bit	X		
MUL	0	X		ANL C,/bit	X		
DIV	0	X		ORL C,bit	X		
DA	X			ORL C,bit	X		
RRC	X			MOV C,bit	X		
RLC	X			CJNE	X		
SETB C	1						

(1)Note that operations on SFR byte address 208 or bit addresses 209-215 (i.e., the PSW or bits in the PSW) will also affect flag settings.

Note on instruction set and addressing modes:

Rn — Register R7–R0 of the currently selected Register Bank.

direct — 8-bit internal data location's address. This could be an Internal Data RAM location (0–127) or a SFR [i.e., I/O port, control register, status register, etc. (128–255)].

@Ri — 8-bit internal data RAM location (0–255) addressed indirectly through register R1 or R0.

#data — 8-bit constant included in instruction.

#data 16 — 16-bit constant included in instruction.

addr 16 — 16-bit destination address. Used by LCALL & LJMP. A branch can be anywhere within the 64K-byte Program Memory address space.

addr 11 — 11-bit destination address. Used by ACALL & AJMP. The branch will be within the same 2K-byte page of program memory as the first byte of the following instruction.

rel — Signed (two's complement) 8-bit offset byte. Used by SJMP and all conditional jumps. Range is −128 to +127 bytes relative to first byte of the following instruction.

bit — Direct Addressed bit in Internal Data RAM or Special Function Register.

Mnemonic		Description	Byte	Oscillator Period
ARITHMETIC OPERATIONS				
ADD	A,Rn	Add register to Accumulator	1	12
ADD	A,direct	Add direct byte to Accumulator	2	12
ADD	A,@Ri	Add indirect RAM to Accumulator	1	12
ADD	A,#data	Add immediate data to Accumulator	2	12
ADDC	A,Rn	Add register to Accumulator with Carry	1	12
ADDC	A,direct	Add direct byte to Accumulator with Carry	2	12
ADDC	A,@Ri	Add indirect RAM to Accumulator with Carry	1	12
ADDC	A,#data	Add immediate data to Acc with Carry	2	12
SUBB	A,Rn	Subtract Register from Acc with borrow	1	12
SUBB	A,direct	Subtract direct byte from Acc with borrow	2	12
SUBB	A,@Ri	Subtract indirect RAM from ACC with borrow	1	12
SUBB	A,#data	Subtract immediate data from Acc with borrow	2	12
INC	A	Increment Accumulator	1	12
INC	Rn	Increment register	1	12
INC	direct	Increment direct byte	2	12
INC	@Ri	Increment direct RAM	1	12
DEC	A	Decrement Accumulator	1	12
DEC	Rn	Decrement Register	1	12
DEC	direct	Decrement direct byte	2	12
DEC	@Ri	Decrement indirect RAM	1	12

All mnemonics copyrighted ©Intel Corporation 1980

Table 10. 8051 Instruction Set Summary (Continued)

Mnemonic		Description	Byte	Oscillator Period
ARITHMETIC OPERATIONS (Continued)				
INC	DPTR	Increment Data Pointer	1	24
MUL	AB	Multiply A & B	1	48
DIV	AB	Divide A by B	1	48
DA	A	Decimal Adjust Accumulator	1	12
LOGICAL OPERATIONS				
ANL	A,Rn	AND Register to Accumulator	1	12
ANL	A,direct	AND direct byte to Accumulator	2	12
ANL	A,@Ri	AND indirect RAM to Accumulator	1	12
ANL	A,#data	AND immediate data to Accumulator	2	12
ANL	direct,A	AND Accumulator to direct byte	2	12
ANL	direct,#data	AND immediate data to direct byte	3	24
ORL	A,Rn	OR register to Accumulator	1	12
ORL	A,direct	OR direct byte to Accumulator	2	12
ORL	A,@Ri	OR indirect RAM to Accumulator	1	12
ORL	A,#data	OR immediate data to Accumulator	2	12
ORL	direct,A	OR Accumulator to direct byte	2	12
ORL	direct,#data	OR immediate data to direct byte	3	24
XRL	A,Rn	Exclusive-OR register to Accumulator	1	12
XRL	A,direct	Exclusive-OR direct byte to Accumulator	2	12
XRL	A,@Ri	Exclusive-OR indirect RAM to Accumulator	1	12
XRL	A,#data	Exclusive-OR immediate data to Accumulator	2	12
XRL	direct,A	Exclusive-OR Accumulator to direct byte	2	12
XRL	direct,#data	Exclusive-OR immediate data to direct byte	3	24
CLR	A	Clear Accumulator	1	12
CPL	A	Complement Accumulator	1	12

Mnemonic		Description	Byte	Oscillator Period
LOGICAL OPERATIONS (Continued)				
RL	A	Rotate Accumulator Left	1	12
RLC	A	Rotate Accumulator Left through the Carry	1	12
RR	A	Rotate Accumulator Right	1	12
RRC	A	Rotate Accumulator Right through the Carry	1	12
SWAP	A	Swap nibbles within the Accumulator	1	12
DATA TRANSFER				
MOV	A,Rn	Move register to Accumulator	1	12
MOV	A,direct	Move direct byte to Accumulator	2	12
MOV	A,@Ri	Move indirect RAM to Accumulator	1	12
MOV	A,#data	Move immediate data to Accumulator	2	12
MOV	Rn,A	Move Accumulator to register	1	12
MOV	Rn,direct	Move direct byte to register	2	24
MOV	Rn,#data	Move immediate data to register	2	12
MOV	direct,A	Move Accumulator to direct byte	2	12
MOV	direct,Rn	Move register to direct byte	2	24
MOV	direct,direct	Move direct byte to direct	3	24
MOV	direct,@Ri	Move indirect RAM to direct byte	2	24
MOV	direct,#data	Move immediate data to direct byte	3	24
MOV	@Ri,A	Move Accumulator to indirect RAM	1	12

All mnemonics copyrighted ©Intel Corporation 1980

Table 10. 8051 Instruction Set Summary (Continued)

Mnemonic		Description	Byte	Oscillator Period
DATA TRANSFER (Continued)				
MOV	@Ri,direct	Move direct byte to indirect RAM	2	24
MOV	@Ri,#data	Move immediate data to indirect RAM	2	12
MOV	DPTR,#data16	Load Data Pointer with a 16-bit constant	3	24
MOVC	A,@A+DPTR	Move Code byte relative to DPTR to Acc	1	24
MOVC	A,@A+PC	Move Code byte relative to PC to Acc	1	24
MOVX	A,@Ri	Move External RAM (8-bit addr) to Acc	1	24
MOVX	A,@DPTR	Move External RAM (16-bit addr) to Acc	1	24
MOVX	@Ri,A	Move Acc to External RAM (8-bit addr)	1	24
MOVX	@DPTR,A	Move Acc to External RAM (16-bit addr)	1	24
PUSH	direct	Push direct byte onto stack	2	24
POP	direct	Pop direct byte from stack	2	24
XCH	A,Rn	Exchange register with Accumulator	1	12
XCH	A,direct	Exchange direct byte with Accumulator	2	12
XCH	A,@Ri	Exchange indirect RAM with Accumulator	1	12
XCHD	A,@Ri	Exchange low-order Digit indirect RAM with Acc	1	12
BOOLEAN VARIABLE MANIPULATION				
CLR	C	Clear Carry	1	12
CLR	bit	Clear direct bit	2	12
SETB	C	Set Carry	1	12
SETB	bit	Set direct bit	2	12
CPL	C	Complement Carry	1	12
CPL	bit	Complement direct bit	2	12
ANL	C,bit	AND direct bit to CARRY	2	24
ANL	C,/bit	AND complement of direct bit to Carry	2	24
ORL	C,bit	OR direct bit to Carry	2	24
ORL	C,/bit	OR complement of direct bit to Carry	2	24
MOV	C,bit	Move direct bit to Carry	2	12
MOV	bit,C	Move Carry to direct bit	2	24
JC	rel	Jump if Carry is set	2	24
JNC	rel	Jump if Carry not set	2	24
JB	bit,rel	Jump if direct Bit is set	3	24
JNB	bit,rel	Jump if direct Bit is Not set	3	24
JBC	bit,rel	Jump if direct Bit is set & clear bit	3	24
PROGRAM BRANCHING				
ACALL	addr11	Absolute Subroutine Call	2	24
LCALL	addr16	Long Subroutine Call	3	24
RET		Return from Subroutine	1	24
RETI		Return from interrupt	1	24
AJMP	addr11	Absolute Jump	2	24
LJMP	addr16	Long Jump	3	24
SJMP	rel	Short Jump (relative addr)	2	24

All mnemonics copyrighted ©Intel Corporation 1980

Table 10. 8051 Instruction Set Summary (Continued)

Mnemonic		Description	Byte	Oscillator Period
PROGRAM BRANCHING (Continued)				
JMP	@A+DPTR	Jump indirect relative to the DPTR	1	24
JZ	rel	Jump if Accumulator is Zero	2	24
JNZ	rel	Jump if Accumulator is Not Zero	2	24
CJNE	A,direct,rel	Compare direct byte to Acc and Jump if Not Equal	3	24
CJNE	A,#data,rel	Compare immediate to Acc and Jump if Not Equal	3	24
CJNE	Rn,#data,rel	Compare immediate to register and Jump if Not Equal	3	24
CJNE	@Ri,#data,rel	Compare immediate to indirect and Jump if Not Equal	3	24
DJNZ	Rn,rel	Decrement register and Jump if Not Zero	2	24
DJNZ	direct,rel	Decrement direct byte and Jump if Not Zero	3	24
NOP		No Operation	1	12

All mnemonics copyrighted ©Intel Corporation 1980

PSW structure

SFR MEMORY MAP

	8 Bytes								
F8									FF
F0	B								F7
E8									EF
E0	ACC								E7
D8									DF
D0	PSW								D7
C8	T2CON		RCAP2L	RCAP2H	TL2	TH2			CF
C0									C7
B8	IP								BF
B0	P3								B7
A8	IE								AF
A0	P2								A7
98	SCON	SBUF							9F
90	P1								97
88	TCON	TMOD	TL0	TL1	TH0	TH1			8F
80	P0	SP	DPL	DPH				PCON	87

↑ Bit Addressable

Figure 5

Interrupt Vector

Interrupt Source	Vector Address
IE0	0003H
TF0	000BH
IE1	0013H
TF1	001BH
RI & TI	0023H
TF2 & EXF2	002BH

IP: INTERRUPT PRIORITY REGISTER. BIT ADDRESSABLE.

If the bit is 0, the corresponding interrupt has a lower priority and if the bit is 1 the corresponding interrupt has a higher priority.

—	—	PT2	PS	PT1	PX1	PT0	PX0

—	IP. 7	Not implemented, reserved for future use.*
—	IP. 6	Not implemented, reserved for future use.*
PT2	IP. 5	Defines the Timer 2 interrupt priority level (8052 only).
PS	IP. 4	Defines the Serial Port interrupt priority level.
PT1	IP. 3	Defines the Timer 1 interrupt priority level.
PX1	IP. 2	Defines External Interrupt 1 priority level.
PT0	IP. 1	Defines the Timer 0 interrupt priority level.
PX0	IP. 0	Defines the External Interrupt 0 priority level.

*User software should not write 1s to reserved bits. These bits may be used in future MCS-51 products to invoke new features. In that case, the reset or inactive value of the new bit will be 0, and its active value will be 1.

IE: INTERRUPT ENABLE REGISTER. BIT ADDRESSABLE.

If the bit is 0, the corresponding interrupt is disabled. If the bit is 1, the corresponding interrupt is enabled.

EA	—	ET2	ES	ET1	EX1	ET0	EX0

EA	IE.7	Disables all interrupts. If EA = 0, no interrupt will be acknowledged. If EA = 1, each interrupt source is individually enabled or disabled by setting or clearing its enable bit.
—	IE.6	Not implemented, reserved for future use.*
ET2	IE.5	Enable or disable the Timer 2 overflow or capture interrupt (8052 only).
ES	IE.4	Enable or disable the serial port interrupt.
ET1	IE.3	Enable or disable the Timer 1 overflow interrupt.
EX1	IE.2	Enable or disable External Interrupt 1.
ET0	IE.1	Enable or disable the Timer 0 overflow interrupt.
EX0	IE.0	Enable or disable External Interrupt 0.

TCON: TIMER/COUNTER CONTROL REGISTER. BIT ADDRESSABLE.

TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0

TF1 TCON. 7 Timer 1 overflow flag. Set by hardware when the Timer/Counter 1 overflows. Cleared by hardware as processor vectors to the interrupt service routine.

TR1 TCON. 6 Timer 1 run control bit. Set/cleared by software to turn Timer/Counter 1 ON/OFF.

TF0 TCON. 5 Timer 0 overflow flag. Set by hardware when the Timer/Counter 0 overflows. Cleared by hardware as processor vectors to the service routine.

TR0 TCON. 4 Timer 0 run control bit. Set/cleared by software to turn Timer/Counter 0 ON/OFF.

IE1 TCON. 3 External Interrupt 1 edge flag. Set by hardware when External Interrupt edge is detected. Cleared by hardware when interrupt is processed.

IT1 TCON. 2 Interrupt 1 type control bit. Set/cleared by software to specify falling edge/low level triggered External Interrupt.

IE0 TCON. 1 External Interrupt 0 edge flag. Set by hardware when External Interrupt edge detected. Cleared by hardware when interrupt is processed.

IT0 TCON. 0 Interrupt 0 type control bit. Set/cleared by software to specify falling edge/low level triggered External Interrupt.

TMOD: TIMER/COUNTER MODE CONTROL REGISTER. NOT BIT ADDRESSABLE.

GATE	C/$\overline{T}$	M1	M0	GATE	C/$\overline{T}$	M1	M0
TIMER 1				TIMER 0			

GATE When TRx (in TCON) is set and GATE = 1, TIMER/COUNTERx will run only while INTx pin is high (hardware control). When GATE = 0, TIMER/COUNTERx will run only while TRx = 1 (software control).

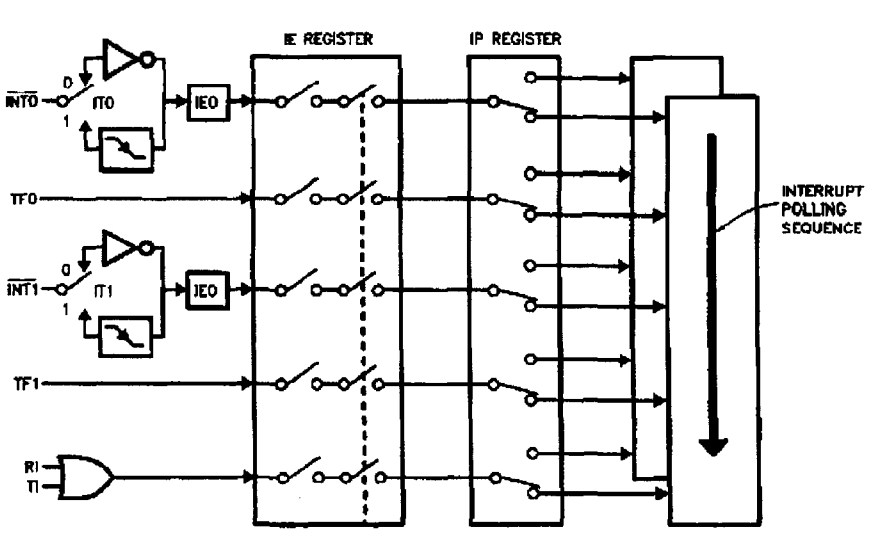
C/$\overline{T}$ Timer or Counter selector. Cleared for Timer operation (input from internal system clock). Set for Counter operation (input from Tx input pin).

M1 Mode selector bit. (NOTE 1)

M0 Mode selector bit. (NOTE 1)

NOTE 1:

M1	M0	Operating Mode	
0	0	0	13-bit Timer (MCS-48 compatible)
0	1	1	16-bit Timer/Counter
1	0	2	8-bit Auto-Reload Timer/Counter
1	1	3	(Timer 0) TL0 is an 8-bit Timer/Counter controlled by the standard Timer 0 control bits, TH0 is an 8-bit Timer and is controlled by Timer 1 control bits.
1	1	3	(Timer 1) Timer/Counter 1 stopped.



SCON: SERIAL PORT CONTROL REGISTER. BIT ADDRESSABLE.

SM0	SM1	SM2	REN	TB8	RB8	TI	RI

SM0 SCON. 7 Serial Port mode specifier. (NOTE 1).

SM1 SCON. 6 Serial Port mode specifier. (NOTE 1).

SM2 SCON. 5 Enables the multiprocessor communication feature in modes 2 & 3. In mode 2 or 3, if SM2 is set to 1 then RI will not be activated if the received 9th data bit (RB8) is 0. In mode 1, if SM2 = 1 then RI will not be activated if a valid stop bit was not received. In mode 0, SM2 should be 0. (See Table 9).

REN SCON. 4 Set/Cleared by software to Enable/Disable reception.

TB8 SCON. 3 The 9th bit that will be transmitted in modes 2 & 3. Set/Cleared by software.

RB8 SCON. 2 In modes 2 & 3, is the 9th data bit that was received. In mode 1, if SM2 = 0, RB8 is the stop bit that was received. In mode 0, RB8 is not used.

TI SCON. 1 Transmit interrupt flag. Set by hardware at the end of the 8th bit time in mode 0, or at the beginning of the stop bit in the other modes. Must be cleared by software.

RI SCON. 0 Receive interrupt flag. Set by hardware at the end of the 8th bit time in mode 0, or halfway through the stop bit time in the other modes (except see SM2). Must be cleared by software.

NOTE 1:

SM0	SM1	Mode	Description	Baud Rate
0	0	0	SHIFT REGISTER	Fosc./12
0	1	1	8-Bit UART	Variable
1	0	2	9-Bit UART	Fosc./64 OR Fosc./32
1	1	3	9-Bit UART	Variable