การสอบปลายภาค ประจำภาคการศึกษาที่ 1 ปีการศึกษา : 2547

วันที่ : 3 ตุลาคม พ.ศ. 2547 เวลา : 9:00 – 12:00

วิชา : 240-205 Digital Systems and Logic Design ห้อง : R200, R201

ทุจริตในการสอบ โทษขั้นต่ำคือ ปรับตกในรายวิชาที่ทุจริต และพักการเรียนหนึ่งภาคการศึกษา

คำสั่ง

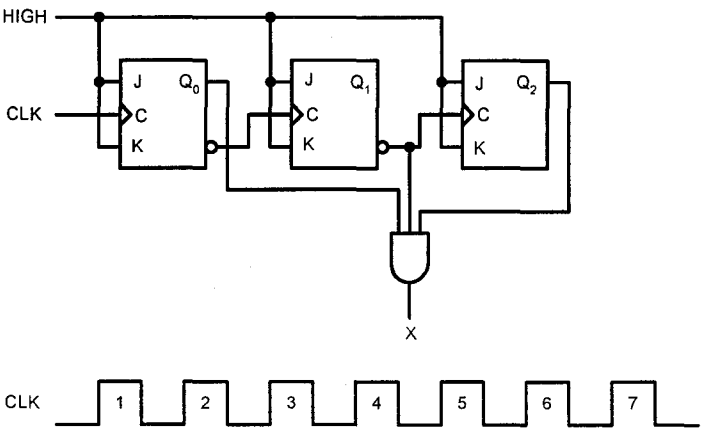
1. ข้อสอบมี 2 ตอน ทั้งหมด 20 หน้า (ข้อสอบ 14 หน้า, Appendix 5 หน้า, กระดาษทด 1 หน้า)
   - ตอนที่ 1 มี 10 ข้อ 10 คะแนน หน้า 1 - 6 (ไม่มั่นใจอย่าตอบ ถ้าผิดคะแนนติดลบข้อละ 1 คะแนน) ให้ทำในข้อสอบ
   - ตอนที่ 2 มี 4 ข้อ 60 คะแนน หน้า 7 – 14 ให้แสดงวิธีทำโดยละเอียดในข้อสอบ แต่ละข้อคะแนนไม่เท่ากัน
2. ห้ามนำเครื่องคิดเลข, เอกสารใดๆ เข้าห้องสอบ
3. คำตอบทุกข้อเขียนให้ชัดเจนถ้าอ่านไม่ออกถือว่าตอบผิด

รหัสนักศึกษา : _____ ชื่อ :_____ตอน : _____

	ตอนที่ 1	ตอนที่ 2				รวม
คำถาม	1-10	1	2	3	4	
คะแนน						

ตอนที่ 1

1. จากวงจรที่กำหนดให้ เอาต์พุต X มีค่าเป็น 1 ที่คาบใดของสัญญาณนาฬิกา เมื่อกำหนดสัญญาณนาฬิกาดังรูป และให้สถานะเริ่มต้นของฟลิบฟลอบเป็น RESET



(a) คาบที่ 3 (b) คาบที่ 7

(c) คาบที่ 2 (d) คาบที่ 5 (e) คาบที่ 4

คำตอบที่ถูกคือ_____

2. วงจรนับอะซิงโครนัสที่นับขึ้น(Up counter) ซึ่งสร้างจากกลุ่มของฟลิบฟลอบที่มีการทริกที่ขอบขาขึ้น อยากทราบว่าถ้าต้องการนับลง(down counter) สามารถทำได้อย่างไร

(a) เปลี่ยนฟลิบฟลอบเป็นแบบทริกที่ขอบขาลง

(b) เปลี่ยนตำแหน่งเอาต์พุตจากขา Q เป็น $\overline{Q}$

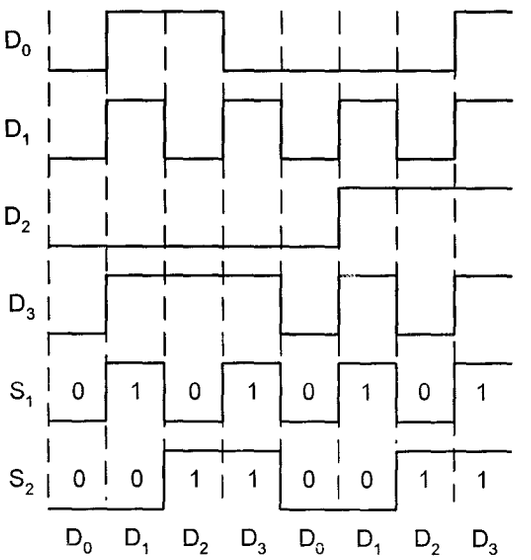
(c) นำเอาต์พุต Q ของฟลิบฟลอบตัวก่อนหน้าป้อนเป็นสัญญาณนาฬิกาให้กับฟลิบฟลอบตัวต่อไป

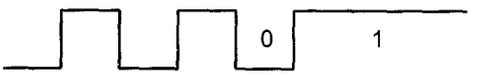
(d) ถูกทุกข้อ

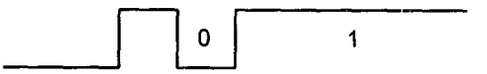
(e) ไม่มีข้อใดถูก

คำตอบที่ถูกคือ_____

3. ข้อมูลอินพุต ($D_0 - D_3$) และข้อมูลตัวเลือก ($S_1 - S_2$) ถูกป้อนให้กับตัวมัลติเพล็กซ์ รูปคลื่นเอาต์พุตในข้อใดถูกต้อง



(a) 

(b) 

(c)

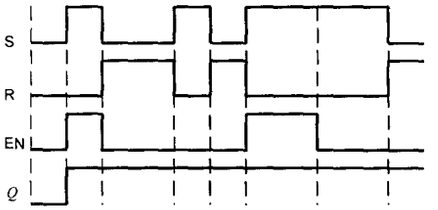
(d)

(e) ไม่มีข้อใดถูก

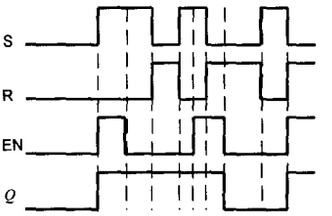
คำตอบที่ถูกคือ_____

4. รูปคลื่นเอาต์พุต Q ของ Gated S-R latch ในข้อใดถูกต้อง

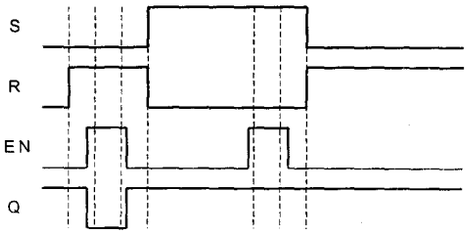
(a)



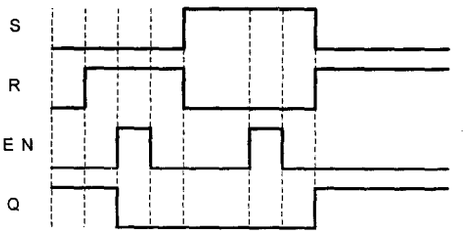
(b)



(c)



(d)



(d) ไม่มีข้อใดถูก

คำตอบที่ถูกคือ_____

5. สัญญานาฬิกาความถี่ 12 MHz ถูกป้อนให้กับวงจรนับแบบคาสเคด (cascaded) ของ วงจรนับ modulus-5, modulus-8 และ modulus-10 จงหาความถี่ของเอาต์พุต

(a) 10 kHz
(b) 20 kHz
(c) 30 kHz
(d) 60 kHz
(e) ไม่มีข้อใดถูก

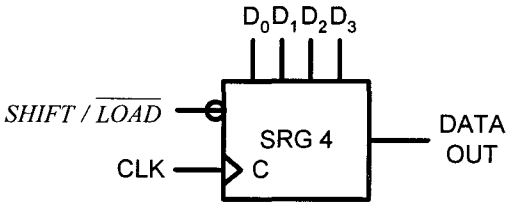
คำตอบที่ถูกคือ_____

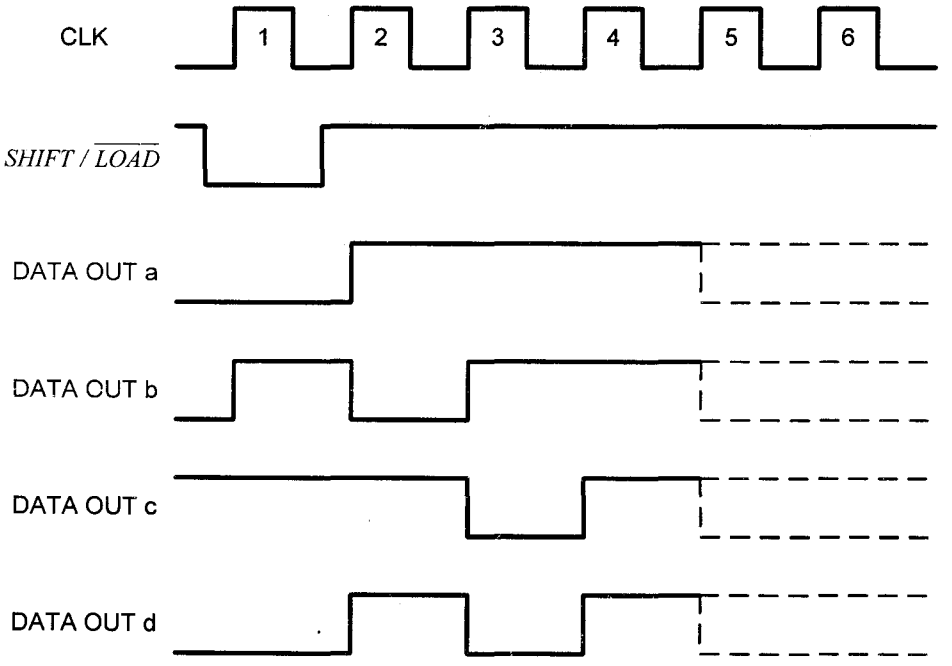
6. ข้อใดทำให้ D flip-flop ทำงานอยู่ในรูปแบบของ toggle

(a) ต่อ Q กับ D
(b) ต่อ $\overline{Q}$ กับ D
(c) ต่อ D ให้เป็น high
(d) ต่อ D ให้เป็น low
(e) ไม่มีข้อใดถูก

คำตอบที่ถูกคือ_____

7. จงบอกชนิดของวงจรที่กำหนดให้

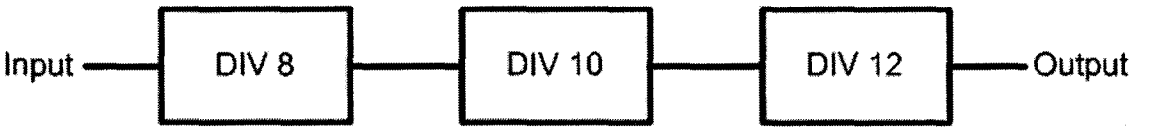




(a) รีจิสเตอร์อนุกรมเข้าขนานออก
(b) มัลติเพล็กเซอร์
(c) ดีมัลติเพล็กเซอร์
(d) รีจิสเตอร์ขนานเข้าอนุกรมออก
(e) ไม่มีข้อใดถูก

คำตอบที่ถูกคือ_____

8. จากรูป จงบอกว่า Output สุดท้ายที่ได้เป็นวงจร MOD อะไร



DIV = วงจรหาร

(a) MOD 12
(b) MOD 8
(c) MOD 10
(d) MOD 960
(e) ไม่มีข้อใดถูก

คำตอบที่ถูกคือ_____

9. จากบล็อกไดอะแกรมข้อ 8 ถ้าต้องการให้ Duty Cycle ของวงจรเป็น 50 % ต้องเปลี่ยนแปลงอย่างไร

(a) ไม่ต้องทำอะไร
(b) สลับตำแหน่งของ DIV 8 และ DIV 12
(c) สลับตำแหน่งของ DIV 10 และ DIV 12
(d) สลับตำแหน่งของ DIV 8 และ DIV 10
(e) ไม่มีข้อใดถูก

คำตอบที่ถูกคือ_____

10. จากบล็อกไดอแกรมข้อ 8 ถ้ากำหนดให้วงจรส่วน DIV 8 และ DIV 12 ถูกสร้างโดยใช้หลักการสร้างวงจรในขณะที่ DIV 10 สร้างโดยใช้หลักการสร้างวงจรนับอะซิงโครนัส จงหาค่า Propagation delay ของวงจรรวมที่เอาต์พุตสุดท้าย เมื่อกำหนดให้ฟลิปฟลอบแต่ละตัวมีค่า Propagation delay เท่ากับ 1 ns

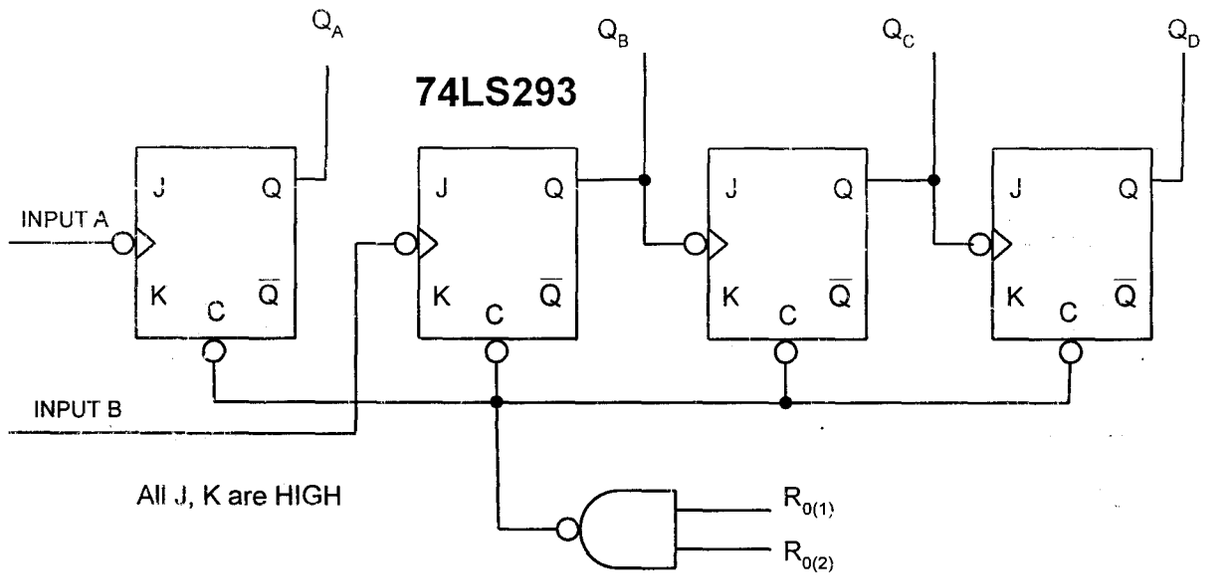
(a) 1 ns
(b) 5 ns
(c) 6 ns
(d) 11 ns
(e) ไม่มีข้อใดถูก

คำตอบที่ถูกคือ_____

ตอนที่ 2

1. จงเขียนวงจรหารความถี่ด้วย 6 เมื่อกำหนดไอซี 74LS293 โดยให้เอาต์พุตของวงจรมี duty cycle เท่ากับ 50 % (ระบุตำแหน่งของสัญญาณนาฬิกา อินพุตและเอาต์พุตให้ชัดเจน) (5 คะแนน)

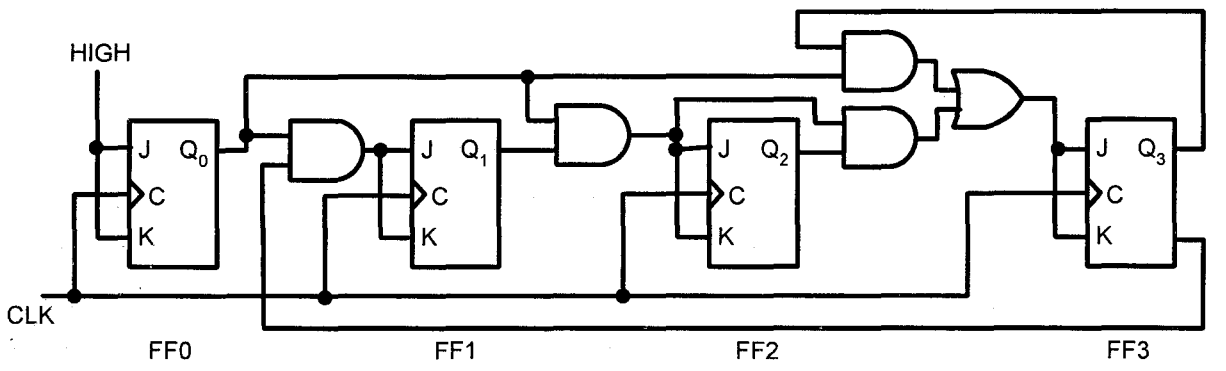
Answer



2. จงออกแบบวงจร 2 - bits Look-ahead carry adder (10 คะแนน)

Answer

3. จงเขียน Timing Diagram ของเอาต์พุต Q ของวงจรต่อไปนี้ เมื่อกำหนดฟลิบฟลอบทุกตัวมีค่า initial เป็น RESET และกำหนดสัญญาณนาฬิกาดังรูป (8 คะแนน)



Answer

Q_0

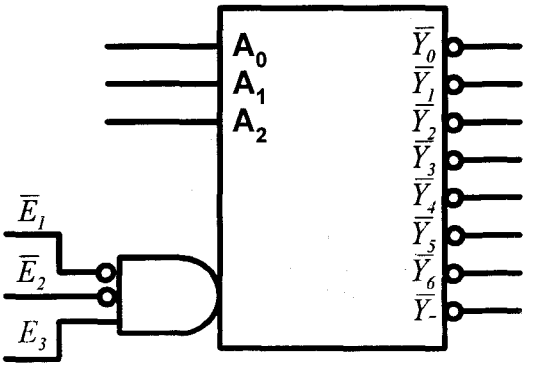
Q_1

Q_2

Q_3

4. (a) จาก logic symbol ของ 74LS138 Decoder จงบอกขาใดเป็นอินพุต เอาต์พุต และ Data Selector เมื่อถูกนำมาใช้งานเป็น Demultiplexer (3 คะแนน)

Answer



Logic Symbol

(b) จาก logic symbol ของ 74LS138 ในข้อ 4. (a) ให้ออกแบบวงจร 1-line-to-16-line demultiplexer โดยใช้ไอซี 74LS138 Decoder (6 คะแนน)

Answer

5. ห้องฉายภาพยนตร์ระดับ VIP แห่งหนึ่ง ภายในห้องฉายภาพยนตร์มีบริการอาหารว่างให้ผู้เข้าชมตลอดเวลา ทำให้มีผู้ต้องการใช้บริการมาก แต่เนื่องจากห้องฉายภาพยนตร์ห้องนี้มีที่นั่งในการชมภาพยนตร์เพียง 10 ที่นั่งเท่านั้น จึงกำหนดคุณสมบัติของผู้เข้าชมไว้หลายข้อด้วยกัน มีอยู่หนึ่งข้อซึ่งเป็นหัวใจหลักสำคัญคือ ในการเข้าและออกจากห้องฉายจะต้องเข้าและออกครั้งละสองคนเสมอ จากข้อมูลที่ให้มาจงตอบคำถามต่อไปนี้

   (a) จงออกแบบวงจรซึ่งใช้สำหรับนับจำนวนผู้ชมในห้องชมภาพยนตร์ตามเงื่อนที่กำหนดให้โดยใช้ D Flip-Flop (18 คะแนน)

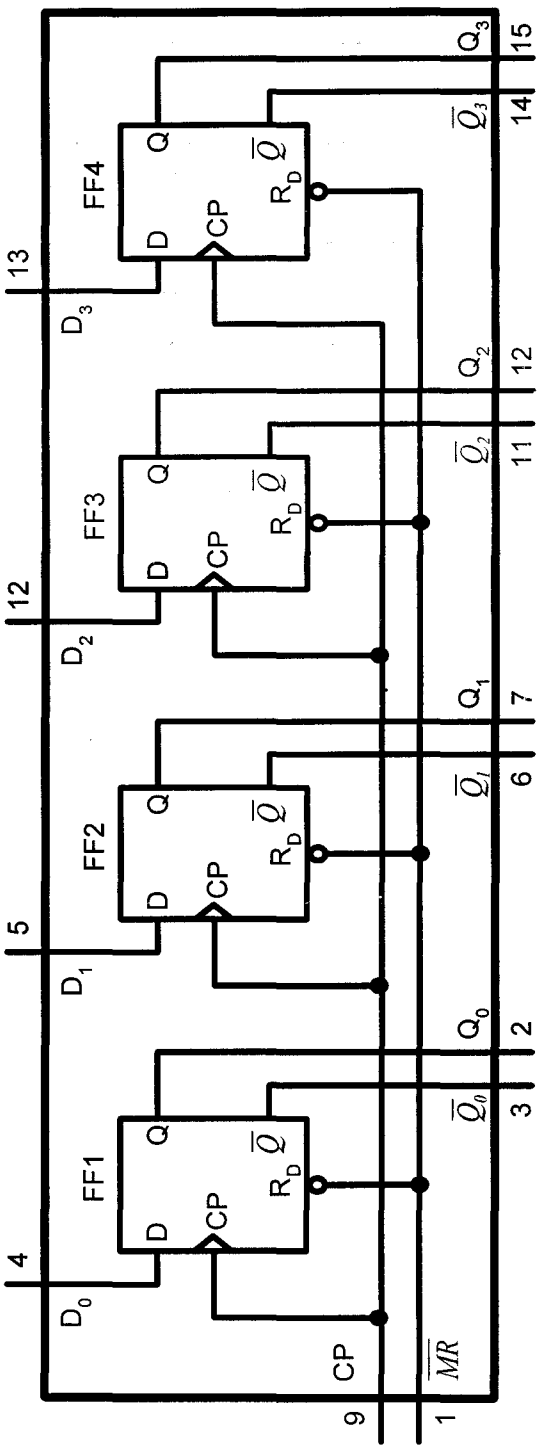
   (b) เขียนวงจรที่ได้จากการออกแบบจากข้อ (a) โดยใช้ไอซี 74HC/HCT175 พร้อมระบุชื่อสัญญาณทุกชนิดที่จำเป็นต่อวงจรให้ชัดเจน เมื่อกำหนดฟังก์ชันไดอะแกรมมาให้ (5 คะแนน)

Answer

(a)

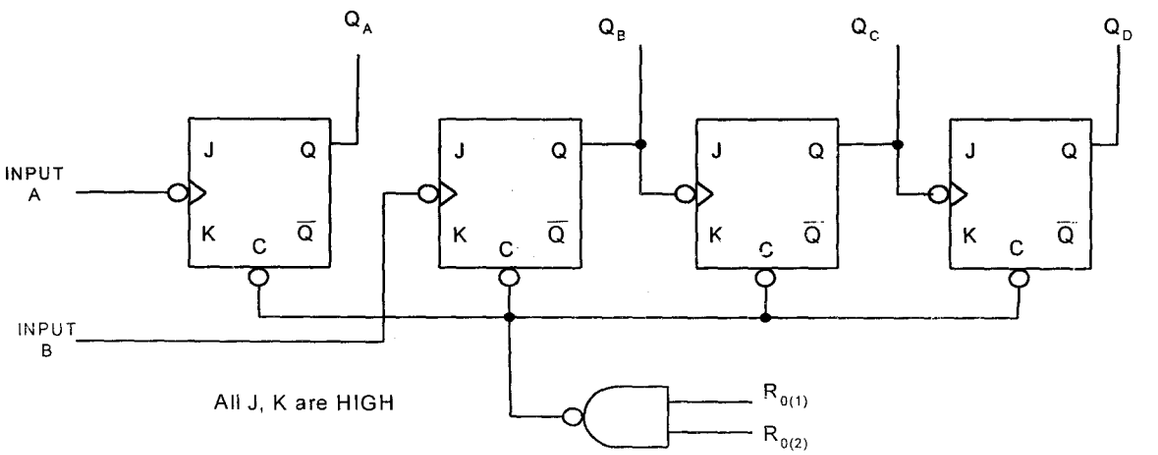
(b) Answer (5 คะแนน)

Function Diagram 74HC/HCT175



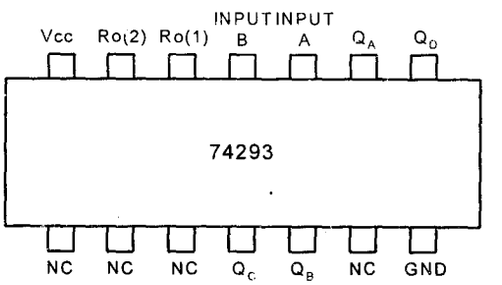
Appendix

74LS293



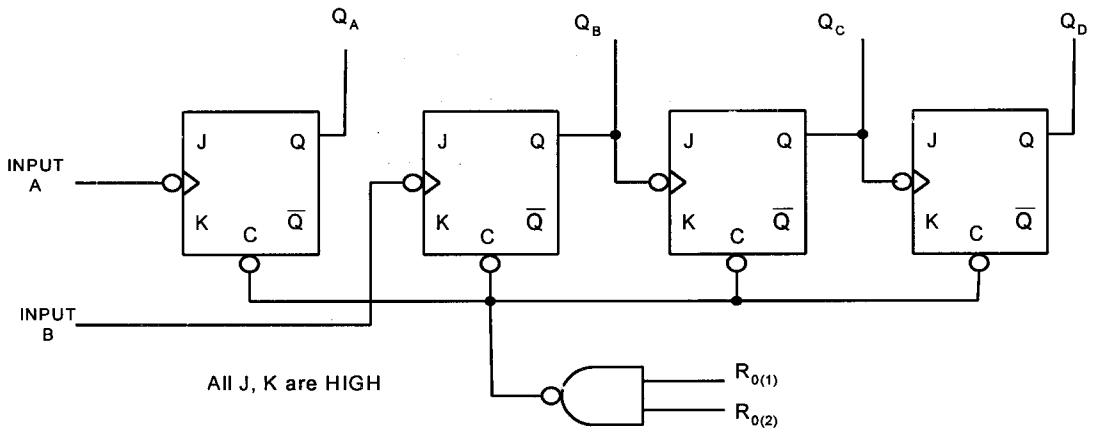
RESET INPUTS		OUTPUT			
R0(1)	R0(2)	Q_D	Q_C	Q_B	Q_A
H	H	L	L	L	L
L	X	L	L	L	H
X	L	L	L	H	L

	OUTPUT			
Count	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

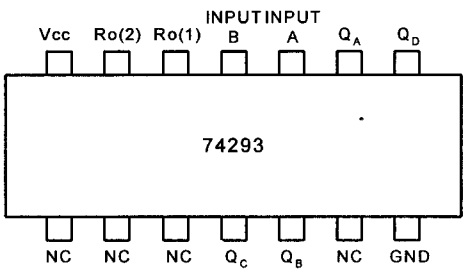


Appendix

74LS293



RESET INPUTS		OUTPUT			
R0(1)	R0(2)•	Q_D	Q_C	Q_B	Q_A
H	H	L	L	L	L
L	X	L	L	L	H
X	L	L	L	H	L



Count	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

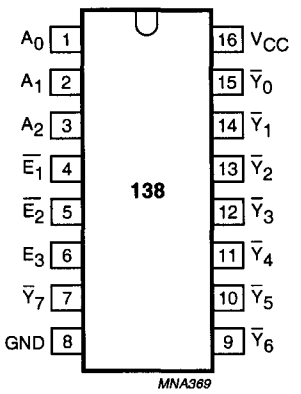


Fig.1 Pin configuration.

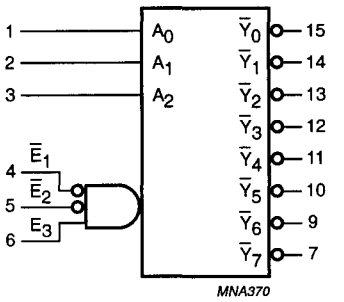


Fig.2 Logic symbol.

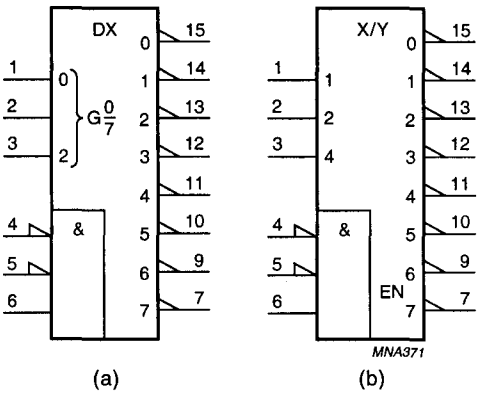


Fig.3 IEC logic symbol.

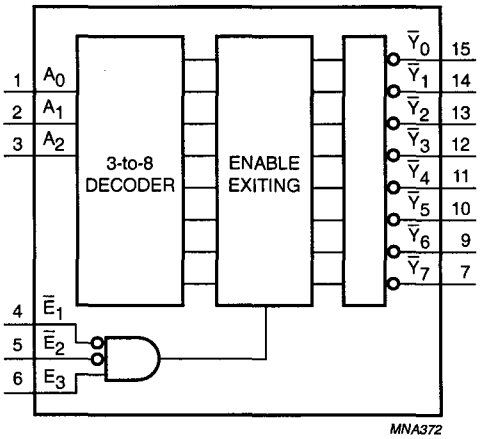


Fig.4 Functional diagram.

FUNCTION TABLE

See note 1.

INPUT						OUTPUT							
$\overline{E}_1$	$\overline{E}_2$	E_3	A_0	A_1	A_2	$\overline{Y}_0$	$\overline{Y}_1$	$\overline{Y}_2$	$\overline{Y}_3$	$\overline{Y}_4$	$\overline{Y}_5$	$\overline{Y}_6$	$\overline{Y}_7$
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

Note

1. H = HIGH voltage level;
   L = LOW voltage level;
   X = don't care.

ORDERING INFORMATION

OUTSIDE NORTH AMERICA	NORTH AMERICA	PACKAGES			
		PINS	PACKAGE	MATERIAL	CODE
74AHC138D	74AHC138D	16	SO	plastic	SOT109-1
74AHC138PW	74AHC138PW DH	16	TSSOP	plastic	SOT403-1
74AHCT138D	74AHCT138D	16	SO	plastic	SOT109-1
74AHCT138PW	74AHCT138PW DH	16	TSSOP	plastic	SOT403-1

PINNING

PIN	SYMBOL	DESCRIPTION
1, 2 and 3	A_0, A_1 and A_2	address inputs
4 and 5	$\overline{E}_1$ and $\overline{E}_2$	enable inputs (active LOW)
6	E_3	enable input (active HIGH)
7, 9, 10 11, 12, 13, 14 and 15	$\overline{Y}_7$ to $\overline{Y}_0$	outputs (active LOW)
8	GND	ground (0 V)
16	V_{CC}	DC supply voltage

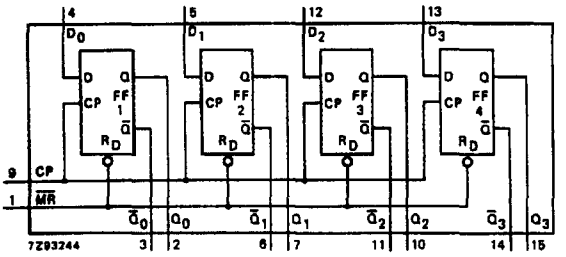


Fig.4 Functional diagram.

FUNCTION TABLE

OPERATING MODES	INPUTS			OUTPUTS	
	$\overline{MR}$	CP	D_n	Q_n	$\overline{Q}_n$
reset (clear)	L	X	X	L	H
load "1"	H	↑	h	H	L
load "0"	H	↑	l	L	H

Note

1. H = HIGH voltage level
   h = HIGH voltage level one set-up time prior to the LOW-to-HIGH CP transition
   L = LOW voltage level
   l = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition
   ↑ = LOW-to-HIGH CP transition
   X = don't care

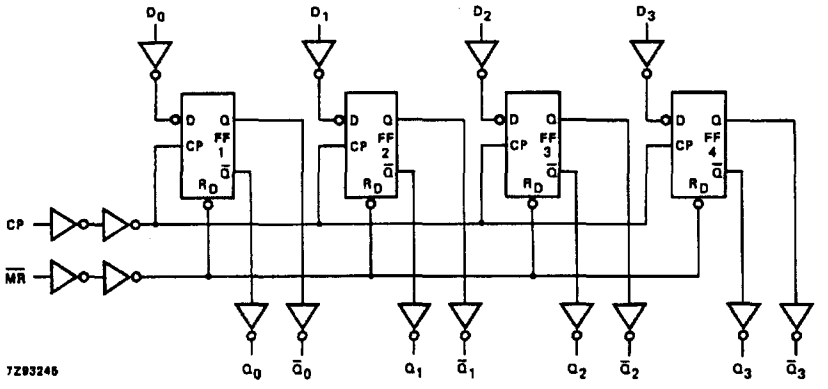


Fig.5 Logic diagram.

ORDERING INFORMATION

TYPE NUMBER	PACKAGE		
	NAME	DESCRIPTION	VERSION
74HC175N; 74HCT175N	DIP16	plastic dual in-line package; 16 leads (300 mil); long body	SOT38-1
74HC175D; 74HCT175D	SO16	plastic small outline package; 16 leads; body width 3.9 mm	SOT109-1
74HC175DB; 74HCT175DB	SSOP16	plastic shrink small outline package; 16 leads; body width 5.3 mm	SOT338-1
74HC175PW; 74HCT175PW	TSSOP16	plastic thin shrink small outline package; 16 leads; body width 4.4 mm	SOT403-1

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1	$\overline{MR}$	master reset input (active LOW)
2, 7, 10, 15	Q_0 to Q_3	flip-flop outputs
3, 6, 11, 14	$\overline{Q}_0$ to $\overline{Q}_3$	complementary flip-flop outputs
4, 5, 12, 13	D_0 to D_3	data inputs
8	GND	ground (0 V)
9	CP	clock input (LOW-to-HIGH, edge-triggered)
16	V_{CC}	positive supply voltage

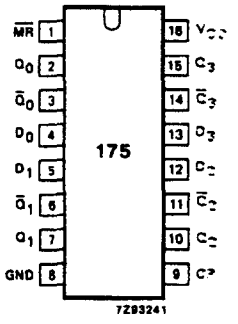


Fig.1 Pin configuration.

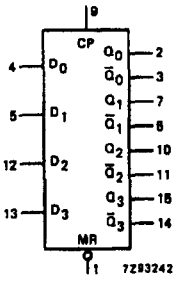


Fig.2 Logic symbol.

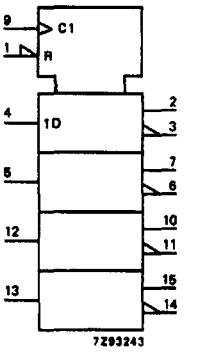


Fig.3 IEC logic symbol.

กระดาษทด