มหาวิทยาลัยสงขลานครินทร์
คณะวิศวกรรมศาสตร์

การสอบกลางภาค ประจำภาคการศึกษาที่ 2 **ปีการศึกษา 2547**
วันที่ 22 ธันวาคม 2547 **เวลา 1330-1630**
วิชา 240-341 Computer System Design **ห้อง R201**

ข้อสอบมีทั้งหมด 10 ข้อ ให้ทำทุกข้อ
อนุญาตให้นำเอกสารและเครื่องคิดเลขเข้าห้องสอบได้

ทุจริตในการสอบ
โทษขั้นต่ำคือ ปรับตกในรายวิชาที่ทุจริต
และ พักการเรียน 1 ภาคการศึกษา

1. จงอธิบายความหมายของ สถาปัตยกรรมของคอมพิวเตอร์ [5]

2. จงเปรียบเทียบและยกตัวอย่าง ความต้องการคุณลักษณะของคอมพิวเตอร์ที่แตกต่างกัน สำหรับคอมพิวเตอร์ในกลุ่มต่อไปนี้ [5]
   1. คอมพิวเตอร์ซึ่งใช้งานทั่วๆไป
   2. คอมพิวเตอร์ซึ่งใช้งานเฉพาะทางในระบบ embedded system
   3. คอมพิวเตอร์ซึ่งใช้งานเป็นเซอร์ฟเวอร์สำหรับงานทางด้านธุรกิจ
   4. คอมพิวเตอร์ซึ่งใช้ในงานคำนวณด้านวิทยาศาสตร์

3. จงอธิบายกฎของ Amdahl (Amdahl's Law) [10]

4. ในการเพิ่มประสิทธิภาพ ของคอมพิวเตอร์ระบบหนึ่ง ซึ่งจะใช้วิธีการเพิ่ม หน่วยการประมวลผลแบบเวคเตอร์ เข้าไปในระบบ ถ้าหากว่า การคำนวณแบบเวคเตอร์นี้ เร็วกว่าการคำนวณแบบปกติ 20 เท่า [15]
   1. ให้วาดรูปกราฟแบบคร่าวๆแสดงความเร็วโดยรวมที่เพิ่มขึ้น เทียบกับเปอร์เซนต์ของงานที่สามารถเปลี่ยนไปคำนวณเป็นแบบเวคเตอร์ โดยให้แกน x เป็น ความเร็วที่เพิ่มขึ้น และแกน y เป็น เปอร์เซนต์ของงานที่สามารถคำนวณแบบเวคเตอร์
   2. จะต้องมีงานที่สามารถเปลี่ยนไปคำนวณแบบแบบเวคเตอร์ กี่เปอร์เซนต์ จึงจะสามารถเพิ่ม ความเร็วของการประมวลผลโดยรวม เป็น 2 เท่า
   3. จะต้องมีงานที่สามารถเปลี่ยนไปคำนวณแบบแบบเวคเตอร์ กี่เปอร์เซนต์ จึงจะสามารถเพิ่ม ความเร็วของการประมวลผลโดยรวมเป็นครึ่งหนึ่งของความเร็วสูงสุดที่เป็นไปได้

5. จงอธิบายข้อแตกต่างของ สถาปัตยกรรมแบบ register-memory กับแบบ register-register หรือ (load/store architecture) [5]

6. จงอธิบายถึงลักษณะของสถาปัตยกรรมชุดคำสั่งสำหรับใช้งานทางด้าน multimedia พร้อมยกตัวอย่าง [10]

7. ถ้าแบ่งขั้นตอนของการทำงานของโปรเซสเซอร์อย่างง่ายเป็น 5 ขั้นตอนคือ IF, ID, EX, MEM, WB จงอธิบายถึงการทำงานในแต่ละขั้นตอนนั้น [10]

8. จงอธิบายถึงวิธีการเพิ่มประสิทธิภาพการทำงานของโปรเซสเซอร์โดยใช้การทำงานแบบ pipeline [10]

9. จงอธิบายถึงที่มาของปัญหา pipeline hazard แบบต่างๆ [10]

10. จากส่วนของโปรแกรมดังต่อไปนี้ [20]

```
loop:  LW    R1, 0(R2)          ; R1 = MEM[R2 + 0]
       ADDI  R1, R1, #1         ; R1 = R1 + 1
       SW    0(R2), R1          ; MEM[R2 + 0] = R1
       ADDI  R2, R2, #4         ; R2 = R2 + 4
       SUB   R4, R3, R2         ; R4 = R3 – R2
       BNZ   R4, loop           ; if (R4 != 0) goto loop
```

1. ถ้าโปรเซสเซอร์เป็นแบบ 5-stage pipeline (IF, ID, EX, MEM, WR) และใช้วิธีการแก้ปัญหา pipeline hazard โดยวิธีการ stall ให้วาด pipeline stage timing diagram เมื่อโปรเซสเซอร์ execute คำสั่งในส่วนของโปรแกรมข้างต้น 5 คำสั่งแรก (ไม่ต้องแสดงคำสั่ง BNZ)
2. ให้วาด pipeline stage timing diagram เมื่อโปรเซสเซอร์ใช้วิธีการ data forwarding มาร่วมในการแก้ปัญหา pipeline hazard

ฉัตรชัย จันทร์พริ้ม
๑๖ ธค. ๒๕๔๗