

มหาวิทยาลัยสงขลานครินทร์

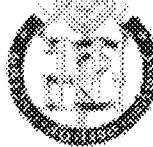
คณะวิศวกรรมศาสตร์

สอบกลางภาค: ภาคการศึกษาที่ 2

วันที่สอบ: 23 ธันวาคม 2547

รหัสวิชา: 240-342

ชื่อวิชา: Logic Circuits Design



ปีการศึกษา: 2547

เวลาสอบ: 13.30-16.30 น.

ห้องสอบ: A401

อ่านรายละเอียดของข้อสอบ และคำแนะนำให้เข้าใจก่อนเริ่มทำข้อสอบ

เวลา: 3 ชั่วโมง (180 นาที)

รายละเอียดของข้อสอบ: ข้อสอบมีทั้งหมด 12 หน้า

- เป็นกระดาษคำถานจำนวน 11 หน้า
- เป็น Datasheet จำนวน 1 หน้า

อนุญาต: เครื่องเขียนต่าง ๆ เช่น ปากกา หรือดินสอ

ไม่อนุญาต: เครื่องคิดเลข หนังสือและสมุดโน๊ตใดๆ เข้าห้องสอบ

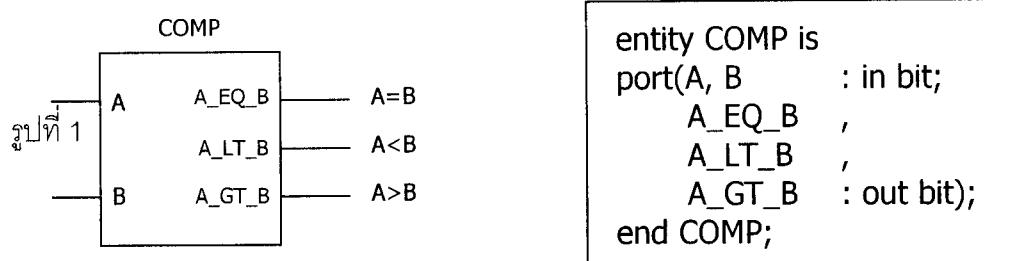
คำสั่ง:

- ให้ทำทุกข้อ
- คำตอบทั้งหมดจะต้องเขียนลงในข้อสอบ
- เขียนชื่อและรหัสให้ชัดเจนในข้อสอบทุกแผ่น แผ่นใดไม่เขียนหรือเขียนไม่ครบจะถูกหักคะแนน **1 คะแนน**
- คำตอบส่วนได้อ่านไม่ออก จะถือว่าคำตอบนั้นผิด
- อ่านคำสั่งเพิ่มเติมในแต่ละข้อให้ชัดเจน
- ทุจริตในการสอบมีโทษขึ้นต่ำปรับตกในรายวิชานั้นและ พักการเรียน 1 ภาคการศึกษา โทษสูงสุดให้ออก

1. โครงสร้างของอุปกรณ์ PLA และ PAL แตกต่างกันอย่างไร จงบอกข้อดีข้อเสียของอุปกรณ์แต่ละประเภท (3 คะแนน)
-
-
-
-
-
-
-
-
-

2. การจำลองการทำงานของวงจรดิจิตอลในระดับ Functional simulation ต่างจากการจำลองในระดับ Post layout simulation อย่างไร จงยกตัวอย่างประกอบคำอธิบาย (3 คะแนน)
-
-
-
-
-
-
-
-
-

3. จงออกแบบจริง comparator ขนาด 1 บิต ซึ่งมีขาอินพุตເອົາຕີພຸດດັງລູບທີ່ 1 ດ້ວຍການຊາວິເອະດີແລ້ວ



3.1 ເປີຍແບບ Behavioral model(3 ຄະແນນ)

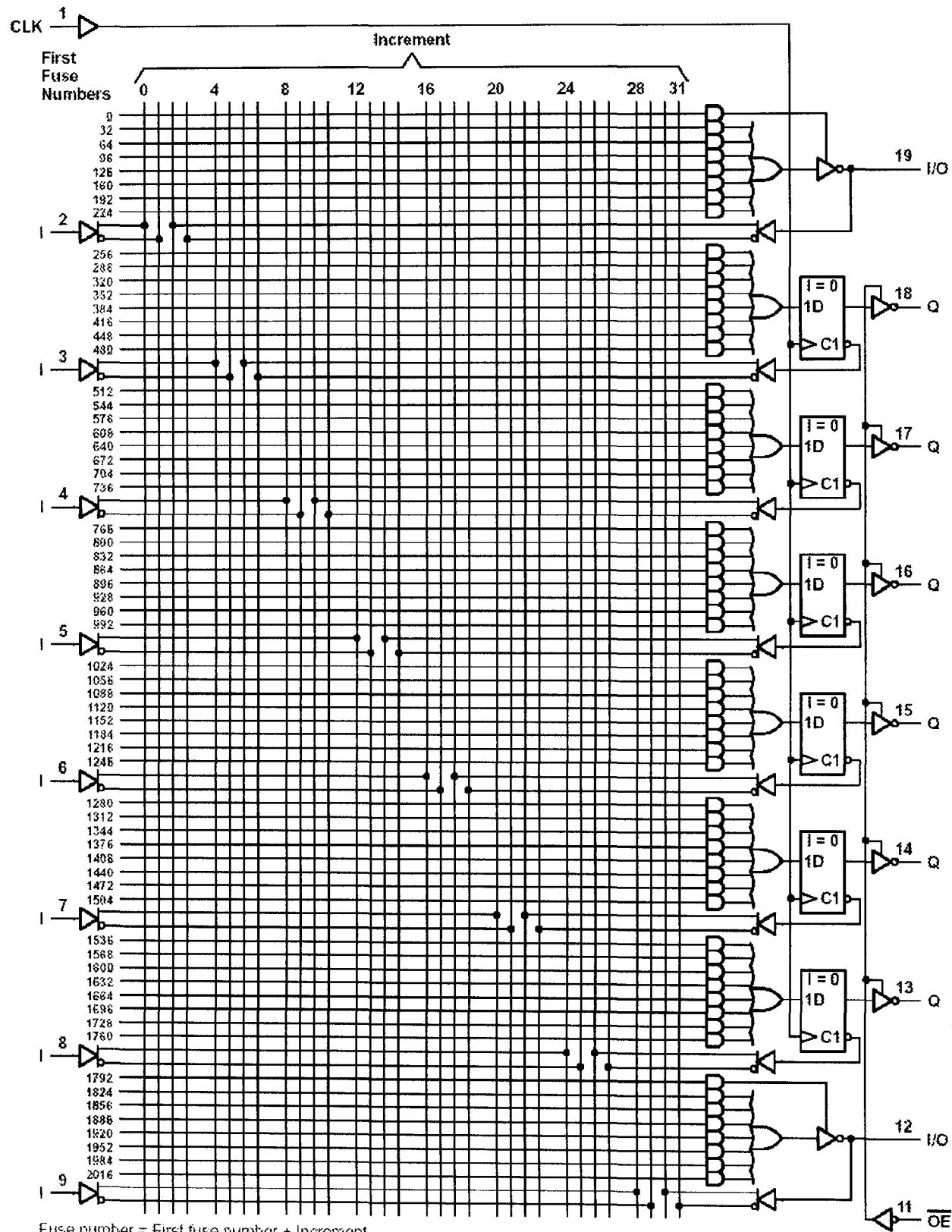
3.2 ເປີຍແບບ Dataflow model(3 ຄະແນນ)

3.3 ເປີຍແບບ Structural model(3 ຄະແນນ)

4. จงออกแบบวงจรนับขี๊ด ขนาด 4 บิตแบบ Synchronous counter และทำการ implement วงจรลงบน PLD เบอร์ PAL16R6

4.1 ออกแบบวงจร (8 คะแนน)

4.2 จงนำวงจรที่ได้วางและเขียนต่อลงบนไอซี PAL16R6(7 คะแนน)



5. เพราะเหตุได้จึงไม่สามารถใช้ PAL16R6 ในการสร้างวงจร ripple counter ได้ จงอธิบายเหตุผล(3 คะแนน)
-
-
-
-
-

6. จงเปรียบเทียบข้อดีข้อเสียของ Flash ROM based PLD และชนิด SRAM based PLD (2 คะแนน)
-
-
-
-
-

7. การสังเคราะห์วงจร (Synthesis) หมายถึงอะไร จงยกตัวอย่างประกอบคำอธิบาย(2 คะแนน)
-
-
-
-
-

8. ចងករបៀវងទារខែស Binary ឱនាត 4 បិតីបោះលើ Grey ឯឈី EPROM លេខ 2764
(6 គគនន) កម្រោងណា:- នឹងគុណភាព 6264 និងការសរុបប្រភពការធានាសរុប

9. จงออกแบบวงจรลับเลขขนาด 4 บิต โดยใช้ภาษา Verilog ที่แสดงพร้อมทั้งเขียน testbench ทดสอบการทำงาน (15 คะแนน)

9.1 ອອກແບບງຈາ (9 ຄະແນນ)

9.2 เขียน testbench ทดสอบการทำงาน (6 คะแนน)

10. จงออกแบบวงจร Sequence detector ด้วยภาษา Verilog โดยกำหนดให้ output sequence จะเป็นผลจิก 1 ก็ต่อเมื่อตรวจพบได้ว่า input sequence ที่ป้อนเข้ามาในวงจรเป็นผลจิกสูงจำนวน 2 ตัวติดกัน หรือผลจิกต่ำจำนวน 3 ตัวติดกัน โดย Input sequence ที่เป็นผลจิกสูงตัวที่ 2 หรือที่เป็นผลจิกต่ำตัวที่ 3 จะไม่มีผลใดๆ ต่อเอกสาร์พุตถัดไปของวงจร (input sequence ไม่สามารถ overlap ได้) (15 คะแนน)

ตัวอย่างอินพุตและเอกสาร์พุตของวงจร

| | |
|-----------------|-----------------|
| Input Sequence | 101111100000010 |
| Output Sequence | 000101000100100 |



27C64

64K (8K x 8) CMOS EPROM

FEATURES

- High speed performance
 - 120 ns access time available
- CMOS Technology for low power consumption
 - 20 mA Active current
 - 100 μ A Standby current
- Factory programming available
- Auto-insertion-compatible plastic packages
- Auto IO aids automated programming
- Separate chip enable and output enable controls
- High speed "express" programming algorithm
- Organized 8K x 8: JEDEC standard pinouts
 - 28-pin Dual-in-line package
 - 32-pin PLCC Package
 - 28-pin SOIC package
 - Tape and reel
- Available for the following temperature ranges
 - Commercial: 0°C to +70°C
 - Industrial: -40°C to +85°C

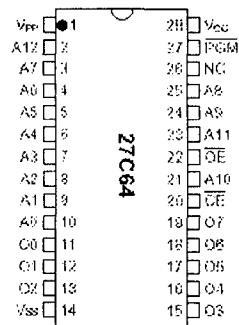
DESCRIPTION

The Microchip Technology Inc. 27C64 is a CMOS 64K bit (electrically) Programmable Read Only Memory. The device is organized as 8K words by 8 bits (8K bytes). Accessing individual bytes from an address transition or from power-up (chip enable pin going low) is accomplished in less than 120 ns. CMOS design and processing enables this part to be used in systems where reduced power consumption and high reliability are requirements.

A complete family of packages is offered to provide the most flexibility in applications. For surface mount applications, PLCC or SOIC packaging is available. Tape and reel packaging is also available for PLCC or SOIC packages.

PACKAGE TYPES

DIP/SOIC



PLCC

