มหาวิทยาลัย สงขลานครินทร์
คณะวิศวกรรมศาสตร์

การสอบปลายภาค ประจำปีการศึกษาที่ 2	ปีการศึกษา 2547
วันที่ 26 กุมภาพันธ์ 2548	เวลา 1330-1630
วิชา 240-341 Computer System Design	ห้อง R300

ข้อสอบมีทั้งหมด 6 ข้อ ให้ทำทุกข้อ
อนุญาตให้นำเอกสารและเครื่องคำนวณเข้าห้องสอบได้

ทุจริตในการสอบโทษขั้นต่ำคือ ปรับตกในรายวิชาที่ทุจริต และ พักการเรียน 1 ภาคการศึกษา

1. จงอธิบายว่าทำไม interrupt หรือ exception จึงทำให้การออกแบบ processor แบบ pipeline ซับซ้อนมากขึ้น (5 คะแนน)

2. จงอธิบายถึงที่มาของปัญหา data hazard แบบ WAR และ WAW ใน pipeline processor ซึ่งรองรับการทำงานแบบ multicycle operation โดยที่ execution unit จะประกอบไปด้วย funtional unit สำหรับการประมวลผลทางด้านคณิตศาสตร์หลาย unit (5 คะแนน)

3. จงอธิบายหลักการของการแก้ปัญหา data hazard โดยวิธีการ Dynamic Scheduling (5 คะแนน)

4. จากส่วนของโปรแกรม สำหรับ MIPS processor ซึ่งใช้ 5-stage pipeline ดังต่อไปนี้

```
LD      R1, 45(R2)
DADD    R7, R1, R5
DSUB    R8, R1, R6
OR      R9, R5, R1
BNEZ    R7, target
DADD    R10, R8, R5
XOR     R2, R3, R4
```

จงแยกแยะว่า จะเกิดปัญหา hazard ชนิดใดระหว่าง สองคำสั่งใดบ้าง โดยระบุถึง component ที่เกิดปัญหาด้วย (10 คะแนน)

จงใช้ข้อมูลต่อไปนี้ในการตอบคำถาม ข้อ 5, 6

ส่วนของโปรแกรมที่ต้องการ execute

```
LD        F0, 0(R2)          ; u :- ค่าความเร็วตั้งต้น (m/sec)
LD        F2, 8(R2)          ; a :- ค่าความเร่ง (m/sec^2)
LD        F4, 16(R2)         ; t :- เวลา (sec)
MUL.D     F6, F0, F4         ; = u*t
MUL.D     F8, F4, F4         ; = t^2
DIV.D     F4, F2, 2          ; = ½*a
MUL.D     F2, F8, F4         ; = (½)*a*t^2
ADD.D     F0, F2, F6         ; = u*t + ½*a*t^2
SD        F0, 24(R2)         ; s :- ระยะทาง (m)
```

Funtional Unit	Latency	Initiation Interval
Integer ALU	0	1
Data Memory	1	1
FP Add	3	1
FP multiply	6	1

ทั้งคำสั่ง MUL.D และ DIV.D จะใช้ FP Multiply Unit ในการคำนวณ
คำสั่ง Load (LD) และ Store (SD) จะใช้ Integer ALU ในการคำนวณ
ข้อมูลใดที่จำเป็นต้องใช้แต่ไม่ได้กำหนดไว้ ให้กำหนดเอง และระบุไว้ในคำตอบให้ชัดเจนด้วย

ให้แสดงวิธีการคำนวณ เท่าที่จำเป็น

5. ถ้า processor ใช้เทคนิค scoreboarding สำหรับแก้ปัญหา pipeline hazard จงแสดง instruction status ของแต่ละคำสั่งว่า เสร็จสิ้นใน clock cycle ใด (15 คะแนน)

6. ถ้า processor ใช้ เทคนิคของ tomasulo ในการแก้ปัญหา pipeline hazard จงแสดง pipeline stage timing diagram เมื่อ processor execute คำสั่งสุดท้ายเสร็จสิ้น โดยกำหนดให้ จำนวนของ Load buffer = 2 และ Reservation Station สำหรับ FP multiply unit = 3 (15 คะแนน)

ฉัตรชัย จันทร์พริ้ม
2005-02-14