Department of Computer Engineering

Faculty of Engineering

Prince of Songkla University

Mid-Term Examination: Semester I Academic Year: 2005

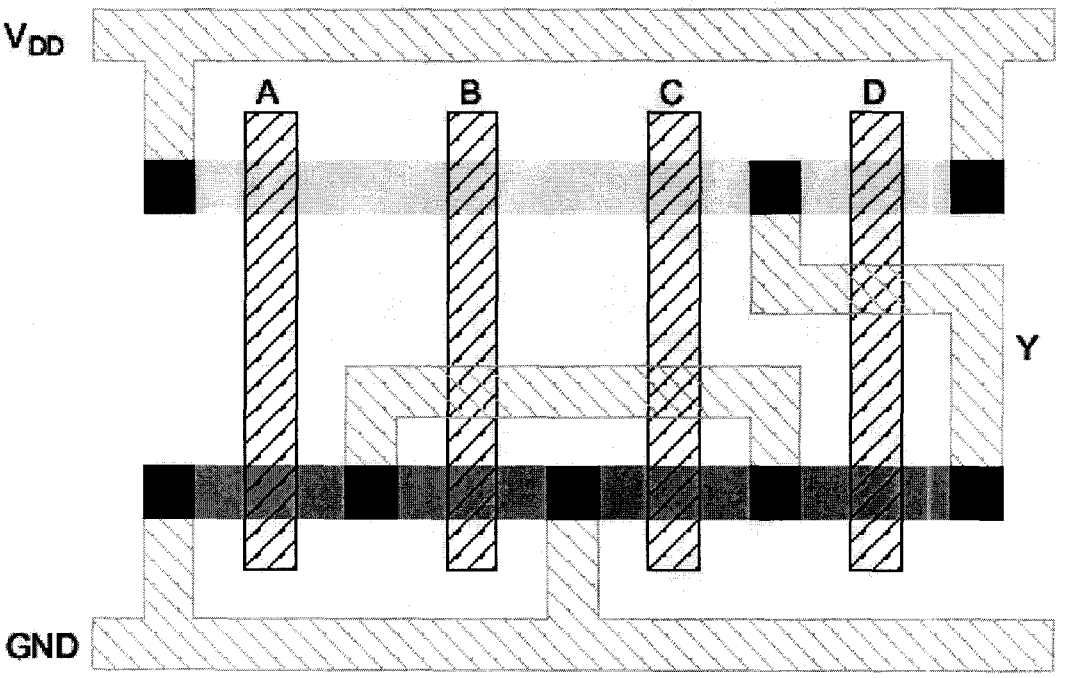
Date: 2 August 2005 Time: 13:30-15:30 (2 hrs)

Subject: 240-440 VLSI System Design Room: R 300

<u>คำสั่ง</u> ทำข้อสอบทุกข้อ, ใช้เครื่องคิดเลขได้, ใช้ดินสอหรือปากกาก็ได้, ห้ามนำหนังสือและเอกสารคำสอนเข้าห้องสอบ แต่สามารถนำโน้ตขนาด A4 เข้าห้องสอบได้ 1 แผ่น

1) จงออกแบบ CMOS gate สำหรับฟังก์ชัน Y = A.B.C +D (2 คะแนน)

2) จงระบุฟังก์ชันของ CMOS gate จาก Stick diagram ในรูปที่ 1 (2 คะแนน)



รูปที่ 1

3) จงตอบคำถามและอธิบายเหตุผลในข้อย่อยต่อไปนี้ (6 คะแนน)

3.1) If the width of a transistor increases, the current will (increase, decrease, not change)?

3.2) If the length of a transistor increases, the current will (increase, decrease, not change)?

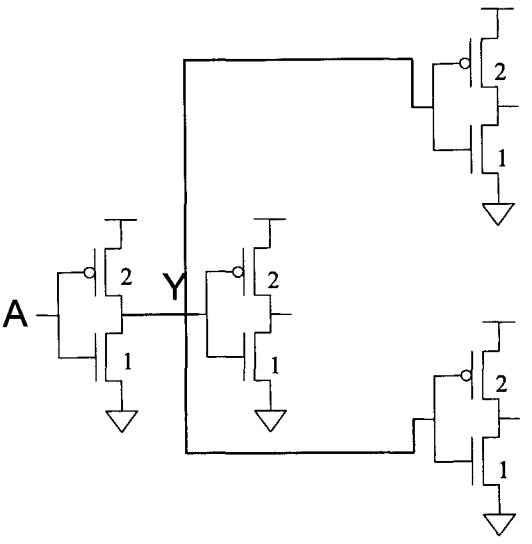
3.3) If the supply voltage of a chip increases, the maximum transistor current will (increase, decrease, not change)?

3.4) If the width of a transistor increases, its gate capacitance will (increase, decrease, not change)?

3.5) If the length of a transistor increases, its gate capacitance will (increase, decrease, not change)?

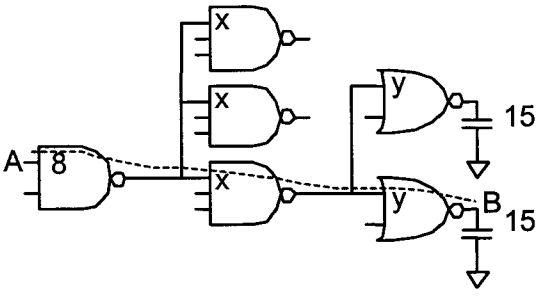
3.6) If the supply voltage of a chip increases, the gate capacitance of each transistor will (increase, decrease, not change)?

4) จงเขียน RC Delay model ของ fanout-of-3 inverter ในรูปที่ 2 และ ประมาณค่าดีเลย์ rise time delay และ fall time delay ของ inverter ดังกล่าว (4 คะแนน)



รูปที่ 2

5) จากรูปที่ 3 จงเลือก gate sizes ของ x และ y เพื่อที่จะทำให้ดีเลย์จาก A ไปยัง B น้อยที่สุด (4 คะแนน)



รูปที่ 3

6) จงประมาณค่าดีเลย์ของ 10x inverter ที่ขับ 2x inverter ผ่านสายไฟยาว 2 mm กว้าง 0.32μm โดยกำหนดให้

ในสายไฟมี $R_{\square} = 0.05\ \Omega/\square$ และ $C_{permicron} = 0.2$ fF/μm

ในเกทมี $R = 2.5\ k\Omega^{*}\mu m$ และ $C_{permicron} = 2$ fF/μm

และ Unit inverter มีขนาดความกว้างเกท 0.36 μm สำหรับ nMOS, 0.72 μm สำหรับ pMOS

(2 คะแนน)