มหาวิทยาลัยสงขลานครินทร์

คณะวิศวกรรมศาสตร์

การสอบปลายภาค ประจำภาคการศึกษาที่ 1 ปีการศึกษา : 2548

วันที่ : 14 ตุลาคม พ.ศ. 2548 เวลา : 9:00 – 12:00

วิชา : 240-205 Digital Systems and Logic Design ห้อง : หัวหุ่น

ทุจริตในการสอบ โทษขั้นต่ำคือ ปรับตกในรายวิชาที่ทุจริต และพักการเรียนหนึ่งภาคการศึกษา

คำสั่ง

1. ข้อสอบมี 2 ตอน ทั้งหมด 11 หน้า (ไม่รวม Appendix 4 หน้า และ, กระดาษทด 1 หน้า)
   - ตอนที่ 1 มี 10 ข้อ 10 คะแนน (ไม่มั่นใจอย่าตอบ ถ้าผิดคะแนนติดลบข้อละ 1 คะแนน) ให้ทำในข้อสอบ
   - ตอนที่ 2 มี 5 ข้อ 30 คะแนน ให้แสดงวิธีทำโดยละเอียดในข้อสอบ แต่ละข้อคะแนนไม่เท่ากัน
2. ห้ามนำเครื่องคิดเลข, เอกสารใดๆ เข้าห้องสอบ
3. คำตอบทุกข้อเขียนให้ชัดเจน ถ้าอ่านไม่ออกถือว่าตอบผิด

รหัสนักศึกษา : _____ ชื่อ :_____ตอน : _____

	ตอนที่ 1	ตอนที่ 2					รวม
คำถาม	1-10	1	2	3	4	5	
คะแนน							

ตอนที่ 1

1. ข้อใดเป็น propagation delay ของวงจรนับอะซิงโครนัส 5 บิต เมื่อกำหนดให้ฟลิบฟลอบแต่ละตัวมีค่า propagation delay เท่ากับ 12 นาโนวินาที

   (a) 12 ms (b) 24 ns

   (c) 48 ns (d) 60 ns

   (e) ไม่มีข้อใดถูก

   คำตอบที่ถูกคือ_____

2. ถ้าวงจรนับวงแหวน 8 บิต มีสถานะเริ่มต้นเป็น 10111110, จงหาสถานะสุดท้ายเมื่อป้อนสัญญาณนาฬิกาไป 4 พัลส์

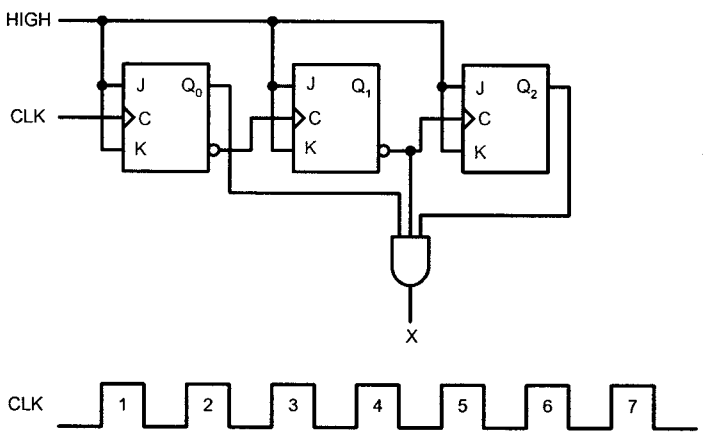
   (a) 00001011 (b) 00010111

   (c) 11110000 (d) 00000000

   (e) ไม่มีข้อใดถูก

   คำตอบที่ถูกคือ_____

3. จากวงจรที่กำหนดให้ เอาต์พุต X มีค่าเป็น 1 ที่คาบใดของสัญญาณนาฬิกา เมื่อกำหนดสัญญาณนาฬิกาดังรูป และให้สถานะเริ่มต้นของฟลิบฟลอบเป็น RESET



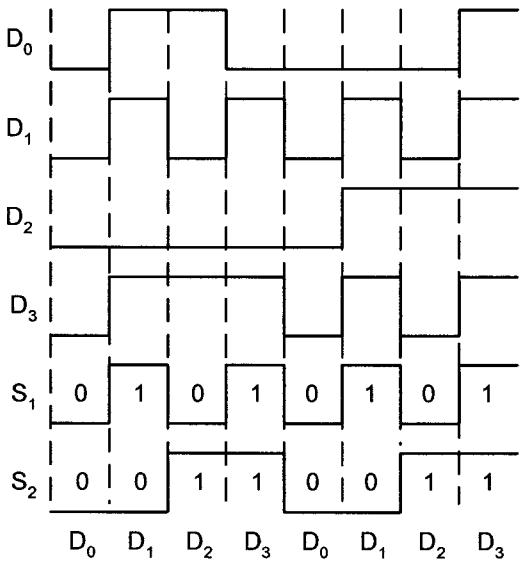
   (a) คาบที่ 3 (b) คาบที่ 7

   (c) คาบที่ 2 (d) คาบที่ 5

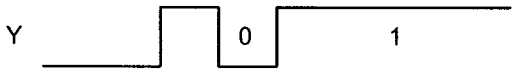
   (e) ไม่มีข้อใดถูก

   คำตอบที่ถูกคือ_____

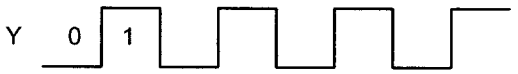
4. ข้อมูลอินพุต ($D_0 - D_3$) และข้อมูลตัวเลือก ($S_1 - S_2$) ถูกป้อนให้กับตัวมัลติเพล็กซ์ รูปคลื่นเอาต์พุตในข้อใดถูกต้อง



(a)

(b) 

(c)

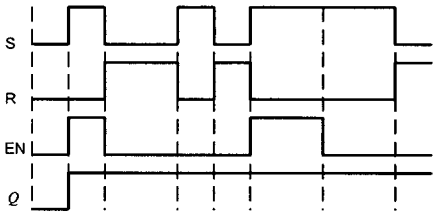
(d) 

(e) ไม่มีข้อใดถูก

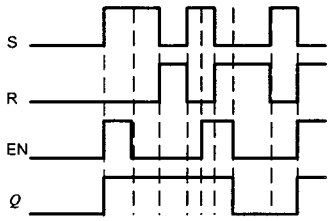
คำตอบที่ถูกคือ_____

5. รูปคลื่นเอาต์พุต Q ของ Gated S-R latch ในข้อใดถูกต้อง

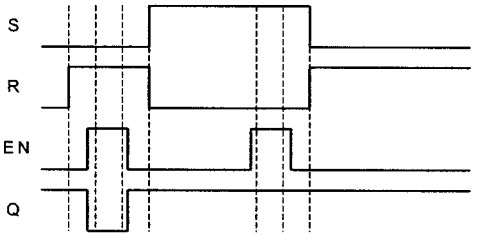
(a)



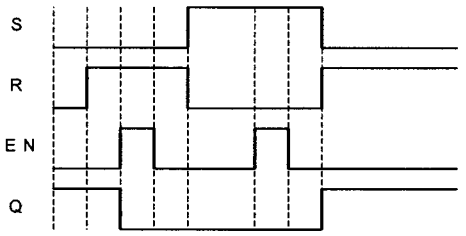
(b)



(c)



(d)



(d) ไม่มีข้อใดถูก

คำตอบที่ถูกคือ_____

6. สัญญานาฬิกาความถี่ 12 MHz ถูกป้อนให้กับวงจรนับแบบคาสเคด (cascaded) ของ วงจรนับ modulus-5, modulus-8 และ modulus-10 จงหาความถี่ของเอาต์พุต

(a) 10 kHz (b) 20 kHz

(c) 30 kHz (d) 60 kHz

(e) ไม่มีข้อใดถูก

คำตอบที่ถูกคือ_____

7. ข้อใดทำให้ D flip-flop ทำงานอยู่ในรูปแบบของ toggle

(a) ต่อ Q กับ D (b) ต่อ $\overline{Q}$ กับ D

(c) ต่อ D ให้เป็น high (d) ต่อ D ให้เป็น low

(e) ไม่มีข้อใดถูก

คำตอบที่ถูกคือ_____

8. จากรูป จงบอกว่า Output สุดท้ายที่ได้เป็นวงจร MOD อะไร

DIV = วงจรหาร

(a) MOD 12 (b) MOD 8

(c) MOD 10 (d) MOD 960

(b) ไม่มีข้อใดถูก

คำตอบที่ถูกคือ_____

9. จากบล็อกไดอะแกรมข้อ 8 ถ้าต้องการให้ Duty Cycle ของวงจรเป็น 50 % ต้องเปลี่ยนแปลงอย่างไร

(a) ไม่ต้องทำอะไร

(b) สลับตำแหน่งของ DIV 8 และ DIV 12

(c) สลับตำแหน่งของ DIV 10 และ DIV 12

(d) สลับตำแหน่งของ DIV 8 และ DIV 10

(e) ไม่มีข้อใดถูก

คำตอบที่ถูกคือ_____

10. จากบล็อกไดอะแกรมข้อ 8 ถ้ากำหนดให้วงจรส่วน DIV 8 และ DIV 12 ถูกสร้างโดยใช้หลักการสร้างวงจรนับซิงโครนัส ในขณะที่ DIV 10 สร้างโดยใช้หลักการสร้างวงจรนับอะซิงโครนัส จงหาค่า Propagation delay ของวงจรรวมที่เอาต์พุตสุดท้าย เมื่อกำหนดให้ฟลิบฟลอบแต่ละตัวมีค่า Propagation delay เท่ากับ 1 ns

(a) 1 ns (b) 5 ns

(c) 6 ns (d) 11 ns

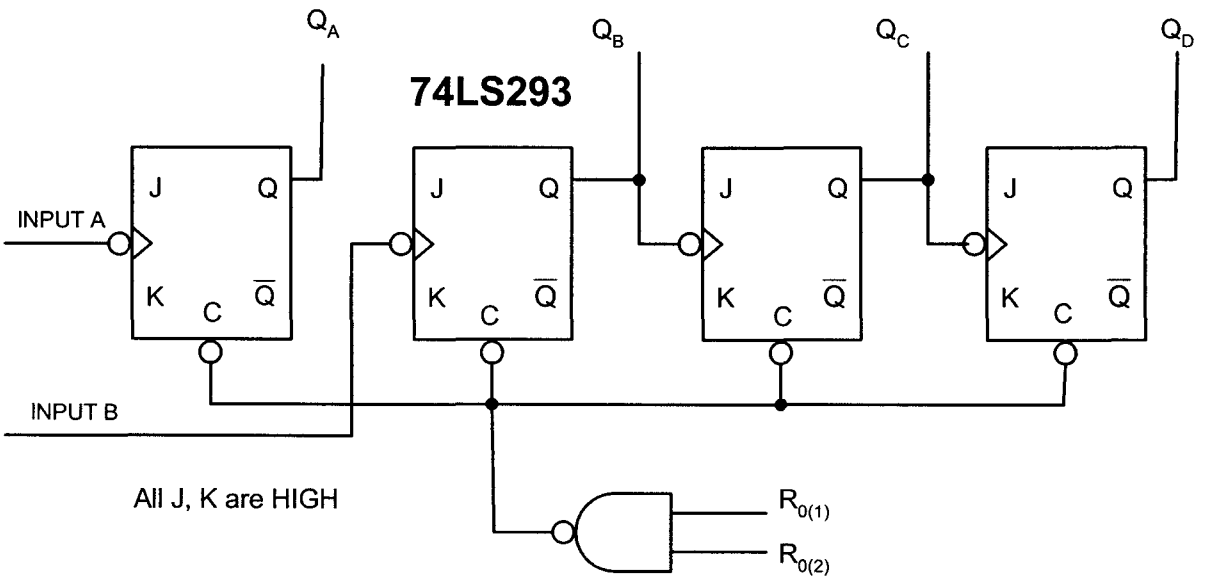
(a) ไม่มีข้อใดถูก

คำตอบที่ถูกคือ_____

ตอนที่ 2

1. จงเขียนวงจรหารความถี่ด้วย 10 เมื่อกำหนดให้ใช้ไดอะแกรมของไอซี 74LS293 ดังรูปที่ 1 โดยให้เอาต์พุตของวงจรมี duty cycle เท่ากับ 50 % (ระบุตำแหน่งของสัญญาณนาฬิกา อินพุตและเอาต์พุตให้ชัดเจน) (4 คะแนน)

Answer

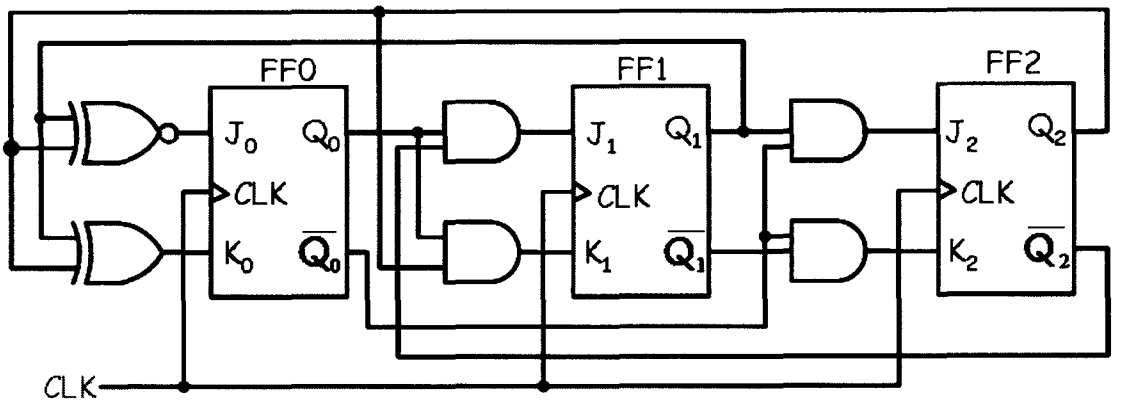


รูปที่ 1 ไดอะแกรมของไอซี 74293

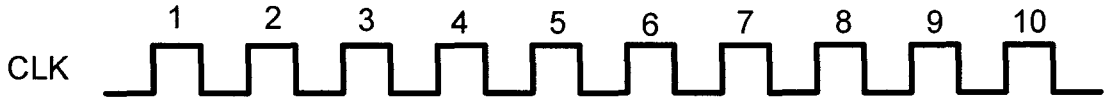
2. จงออกแบบวงจร Look-ahead carry สำหรับการบวก 2 บิต (8 คะแนน)

Answer

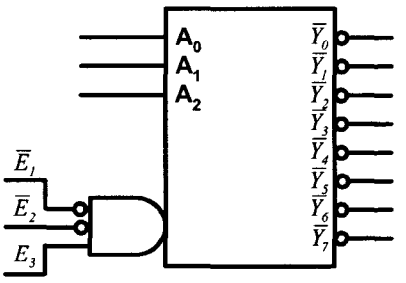
3. จงเขียน Timing Diagram ของเอาต์พุต Q_0 –Q_2 ของวงจรต่อไปนี้ เมื่อกำหนดฟลิบฟลอบทุกตัวมีค่า initial เป็น RESET และกำหนดสัญญาณนาฬิกาดังรูป (6 คะแนน)



Answer



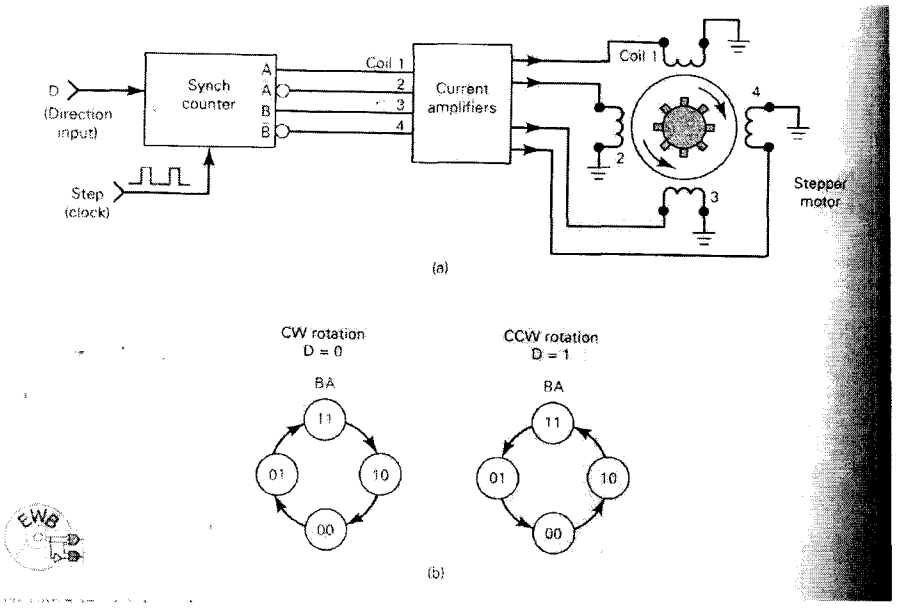
4. จงออกแบบวงจร 1-of-16-decoder โดยใช้ logic symbol ของไอซี 74LS138 Decoder (2 คะแนน)



Answer

5. รูป (a) เป็นไดอะแกรมการควบคุมการทำงานของ step motor ซึ่งประกอบ 3 ส่วนคือ วงจรนับซิงโครนัส 2 บิตใช้สำหรับควบคุมกระแสดงของคอยล์ ส่วนขยายกระแสทำหน้าที่ขยายกระแสเนื่องจากเอาต์พุตของวงจรนับซิงโครนัสไม่สามารถให้กระแสที่เพียงพอแกคอยล์ได้ และส่วนสุดท้ายคือคอยล์ซึ่งใช้สำหรับควบคุมให้มอเตอร์หมุน เพื่อทำให้มอเตอร์หมุน คอยล์ 1 และคอยล์ 2 ต้องมีสถานะที่ตรงกันข้าม(แทนด้วย A) และในทำนองเดียวกันคอยล์ 3 และคอยล์ 4 ต้องมีสถานะที่ตรงกันข้ามเช่นเดียวกัน(แทนด้วย B) เนื่องจาก step motor สามารถหมุนทวนเข็มหรือตามเข็ม จึงต้องมีตัวควบคุมทิศทาง D สำหรับทิศทางและสถานะการสถานะการหมุนของมอเตอร์แสดงได้ดังรูป (b) ตอบคำถามต่อไปนี้

5.1 จงออกแบบวงจรนับซิงโครนัสโดยใช้ D Flip-Flop (8 คะแนน)

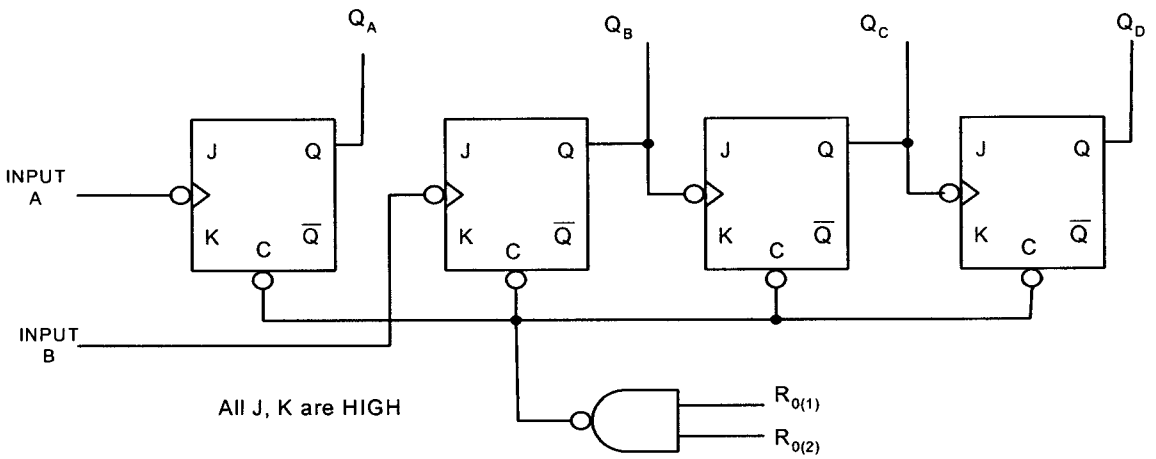


Answer

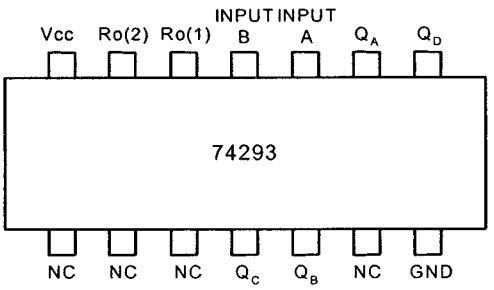
5.2 เขียนวงจรที่ได้จากข้อ 5.1 โดยใช้ไอซี 74LS74 (ดูข้อมูลเพิ่มเติมจาก Appendix) (2 คะแนน)

Appendix

74LS293



RESET INPUTS		OUTPUT			
R0(1)	R0(2)	Q_D	Q_C	Q_B	Q_A
H	H	L	L	L	L
L	X	L	L	L	H
X	L	L	L	H	L



Count	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

Dual D-type flip-flop with set and reset; positive-edge trigger

74AHC74; 74AHCT74

ORDERING INFORMATION

OUTSIDE NORTH AMERICA	NORTH AMERICA	PACKAGE				
		TEMPERATURE RANGE	PINS	PACKAGE	MATERIAL	CODE
74AHC74D	74AHC74D	−40 to +85 °C	14	SO	plastic	SOT108-1
74AHC74PW	74AHC74PW DH		14	TSSOP	plastic	SOT402-1
74AHCT74D	74AHCT74D		14	SO	plastic	SOT108-1
74AHCT74PW	74AHCT74PW DH		14	TSSOP	plastic	SOT402-1

PINNING

PIN	SYMBOL	DESCRIPTION
1 and 13	$1\overline{R}_D$ and $2\overline{R}_D$	asynchronous reset-direct input (active LOW)
2 and 12	1D and 2D	data inputs
3 and 11	1CP and 2CP	clock input (LOW-to-HIGH, edge-triggered)
4 and 10	$1\overline{S}_D$ and $2\overline{S}_D$	asynchronous set-direct input (active LOW)
5 and 9	1Q and 2Q	true flip-flop outputs
6 and 8	$1\overline{Q}$ and $2\overline{Q}$	complement flip-flop outputs
7	GND	ground (0 V)
14	V_{CC}	DC supply voltage

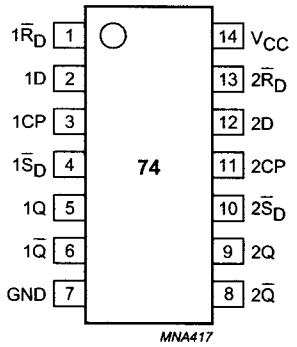


Fig.1 Pin configuration.

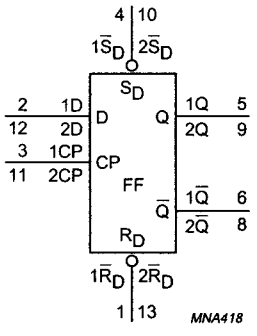


Fig.2 Logic diagram.

MOTOROLA

1-OF-8 DECODER/ DEMULTIPLEXER

SN54/74LS138

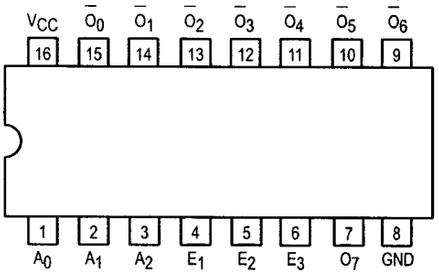
1-OF-8 DECODER/ DEMULTIPLEXER

LOW POWER SCHOTTKY

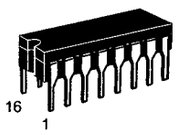
The LSTTL/MSI SN54/74LS138 is a high speed 1-of-8 Decoder/ Demultiplexer. This device is ideally suited for high speed bipolar memory chip select address decoding. The multiple input enables allow parallel expansion to a 1-of-24 decoder using just three LS138 devices or to a 1-of-32 decoder using four LS138s and one inverter. The LS138 is fabricated with the Schottky barrier diode process for high speed and is completely compatible with all Motorola TTL families.

- Demultiplexing Capability
- Multiple Input Enable for Easy Expansion
- Typical Power Dissipation of 32 mW
- Active Low Mutually Exclusive Outputs
- Input Clamp Diodes Limit High Speed Termination Effects

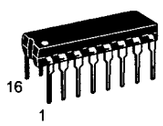
CONNECTION DIAGRAM DIP (TOP VIEW)



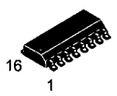
NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.



J SUFFIX
CERAMIC
CASE 620-09



N SUFFIX
PLASTIC
CASE 648-08



D SUFFIX
SOIC
CASE 751B-03

PIN NAMES

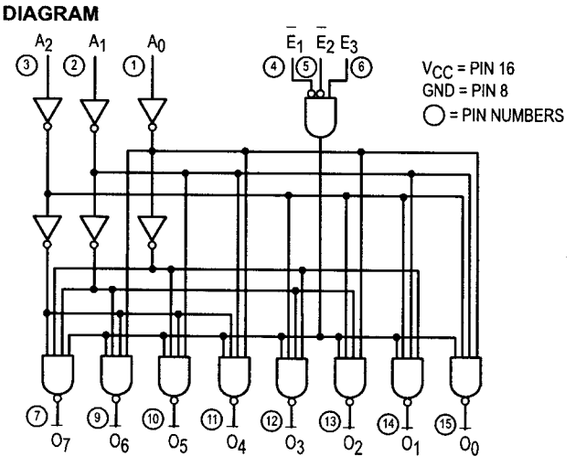
		LOADING (Note a) HIGH	LOW
$\overline{A}_0$–$\overline{A}_2$	Address Inputs	0.5 U.L.	0.25 U.L.
E_1, E_2	Enable (Active LOW) Inputs	0.5 U.L.	0.25 U.L.
E_3	Enable (Active HIGH) Input	0.5 U.L.	0.25 U.L.
O_0–O_7	Active LOW Outputs (Note b)	10 U.L.	5 (2.5) U.L.

NOTES:
a) 1 TTL Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW.
b) The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

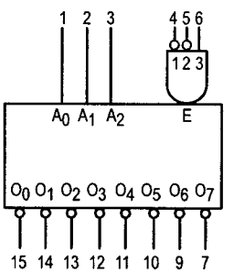
ORDERING INFORMATION

SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXD	SOIC

LOGIC DIAGRAM



LOGIC SYMBOL



VCC = PIN 16
GND = PIN 8

FAST AND LS TTL DATA

FUNCTIONAL DESCRIPTION

The LS138 is a high speed 1-of-8 Decoder/Demultiplexer fabricated with the low power Schottky barrier diode process. The decoder accepts three binary weighted inputs (A_0, A_1, A_2) and when enabled provides eight mutually exclusive active LOW Outputs (O_0–O_7). The LS138 features three Enable inputs, two active LOW (E_1, E_2) and one active HIGH (E_3). All outputs will be HIGH unless E_1 and E_2 are LOW and E_3 is HIGH. This multiple enable function allows easy parallel expansion of the device to a 1-of-32 (5 lines to 32 lines) decoder with just four LS138s and one inverter. (See Figure a.)

The LS138 can be used as an 8-output demultiplexer by using one of the active LOW Enable inputs as the data input and the other Enable inputs as strobes. The Enable inputs which are not used must be permanently tied to their appropriate active HIGH or active LOW state.

TRUTH TABLE

INPUTS						OUTPUTS							
$\overline{E_1}$	$\overline{E_2}$	E_3	A_0	A_1	A_2	$\overline{O_0}$	$\overline{O_1}$	$\overline{O_2}$	$\overline{O_3}$	$\overline{O_4}$	$\overline{O_5}$	$\overline{O_6}$	$\overline{O_7}$
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

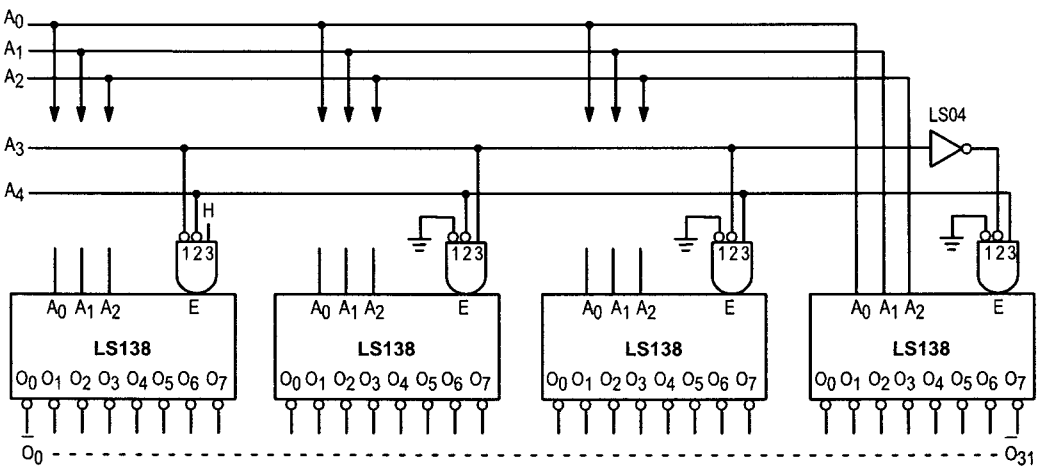


Figure a