PRINCE OF SONGKLA UNIVERSITY
FACULTY OF ENIGNEERING

Midterm Examination : Semester II | Academic Year : 2005

Date : 17 December 2005 | Time: 09.00-12.00

Subject : 240- 342 Logic Circuit Design | Room : R200

คำสั่ง

1. ข้อสอบมีทั้งหมด 5 ข้อ (80 คะแนน) ให้ทำทุกข้อ ให้เวลาสำหรับทำข้อสอบ 2 ชั่วโมง
2. เขียนคำตอบลงในสมุดคำตอบ

ทุจริตโทษต่ำสุดปรับตกวิชานี้ และพักการเรียน 1 ภาคการศึกษา โทษสูงสุดไล่ออก

อนุญาตให้นำเอกสาร หนังสือ เข้าห้องสอบ

การจัดการเกี่ยวกับเอกสาร คณะกรรมการดำเนินการฯ จะยึดถือตามคำสั่งที่แสดงในข้อสอบเป็นหลัก หากไม่มีคำสั่งใดๆจะถือว่าการสอบในรายวิชานั้นๆไม่อนุญาตให้นำเอกสาร เครื่องคิดเลขและอื่นๆเข้าห้องสอบ

---

1. ใช้ภาษา VHDL ออกแบบวงจร NAND เกตที่มีอินพุท 3 ขา โดยให้มี Delay ภายในอยู่ที่ 250 ps.
   (5 คะแนน)

2. ใช้ภาษา VHDL ออกแบบวงจรบวกแบบ Ripple adder ขนาด n บิต โดยกำหนดให้ใช้วงจรบวกแบบ Full adder ขนาด 1 บิตที่มีอยู่แล้วใน Library ซึ่งมี code ดังนี้

```
Library ieee;
Use ieee.std_logic_1164.all;
Entity FA is
        Port (a, b, cin : in std_logic;
            sum, cout : out std_logic);
End entity FA;
Architecture rtl of FA is
Begin
        sum <= a xor b xor cin;
        cout <= (a and b) or (b and cin) or (a and cin);
End architecture rtl;
```

   (15 คะแนน)

3. สเตตแมชชีน (State machine) หนึ่งมีอินพุท 2 ขา คือ A และ B และมีเอาท์พุท Z ถ้า detectลำดับการทำงานของอินพุทเป็นดังนี้ A=1 B=1, A=1 B=0, A=0 B=0 แล้ว Z จะมีค่าเป็น 1 ในไซเคิลสุดท้ายของสเตตแมชชีน นอกจากนั้นแล้วค่า Z จะมีค่าเป็น 0 จงเขียนโมเดลด้วยภาษา VHDL ที่ใช้ 2 process สร้างระบบนี้
   (20 คะแนน)

อนุญาตให้นำเอกสาร หนังสือ เข้าห้องสอบ

การจัดการเกี่ยวกับเอกสาร คณะกรรมการดำเนินการฯ จะยึดถือตามคำสั่งที่แสดงในข้อสอบเป็นหลัก หากไม่มีคำสั่งใดๆจะถือว่าการสอบในรายวิชานั้นๆไม่อนุญาตให้นำเอกสาร เครื่องคิดเลขและอื่นๆเข้าห้องสอบ

อนุญาตให้นำเอกสาร หนังสือ เข้าห้องสอบ

การจัดการเกี่ยวกับเอกสาร คณะกรรมการดำเนินการฯ จะยึดถือตามคำสั่งที่แสดงในข้อสอบเป็นหลัก หากไม่มีคำสั่งใดๆจะถือว่าการสอบในรายวิชานั้นๆไม่อนุญาตให้นำเอกสาร เครื่องคิดเลขและอื่นๆเข้าห้องสอบ