มหาวิทยาลัยสงขลานครินทร์

คณะวิศวกรรมศาสตร์

การสอบปลายภาค ประจำภาคการศึกษาที่ 2 ปีการศึกษา : 2548

วันที่ : 24 กุมภาพันธ์ พ.ศ. 2549 เวลา : 9:00 – 12:00

วิชา : 240-205 Digital Systems and Logic Design ห้อง : R200

ทุจริตในการสอบ โทษขั้นต่ำคือ ปรับตกในรายวิชาที่ทุจริต และพักการเรียนหนึ่งภาคการศึกษา

คำสั่ง

1. ข้อสอบมีทั้งหมด 8 ข้อ 13 หน้า
2. ให้แสดงวิธีทำโดยละเอียดในข้อสอบ แต่ละข้อคะแนนไม่เท่ากัน
3. ห้ามนำเครื่องคิดเลข, เอกสารใดๆ เข้าห้องสอบ
4. คำตอบทุกข้อเขียนให้ชัดเจน ถ้าอ่านไม่ออกถือว่าตอบผิด

รหัสนักศึกษา: _____ ชื่อ: _____ ตอน: _____

คำถาม	1	1	2	3	4	5	6	7	8	รวม
คะแนน										

1. ตอบคำถามข้อย่อยต่อไปนี้ (ตอบผิดคะแนนติดลบ) (4 คะแนน)

1.1) ข้อใดเป็น propagation delay ของวงจรนับอะซิงโครนัส 5 บิต เมื่อกำหนดให้ฟลิบฟลอบแต่ละตัวมีค่า propagation delay เท่ากับ 12 นาโนวินาที

(a) 12 ms (b) 24 ns

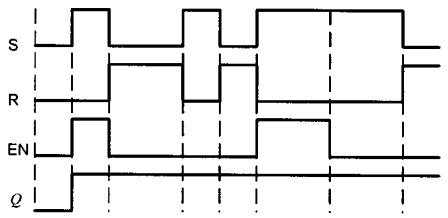
(c) 48 ns (d) 60 ns

(e) ไม่มีข้อใดถูก

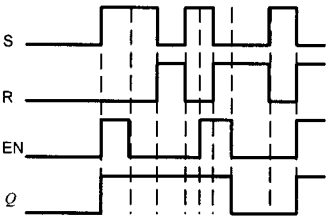
คำตอบที่ถูกคือ_____

1.2) รูปคลื่นเอาต์พุต Q ของ Gated S-R latch ในข้อใดถูกต้อง

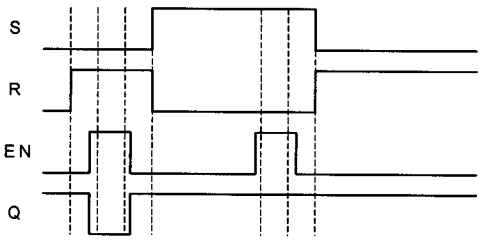
(a)



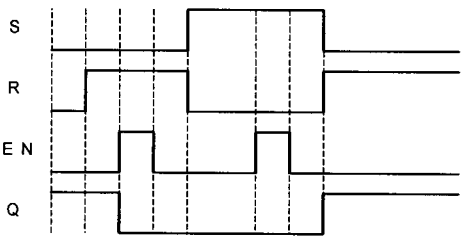
(b)



(c)



(d)



(e) ไม่มีข้อใดถูก

คำตอบที่ถูกคือ_____

1.3) ข้อใดทำให้ D flip-flop ทำงานอยู่ในรูปแบบของ toggle

(a) ต่อ Q กับ D (b) ต่อ $\overline{Q}$ กับ D

(c) ต่อ D ให้เป็น high (d) ต่อ D ให้เป็น low

(e) ไม่มีข้อใดถูก

คำตอบที่ถูกคือ_____

1.4) ข้อใดที่ Half-adder ไม่มี

(a) อินพุตสองอินพุต (b) ตัวทดเข้า(carry in)

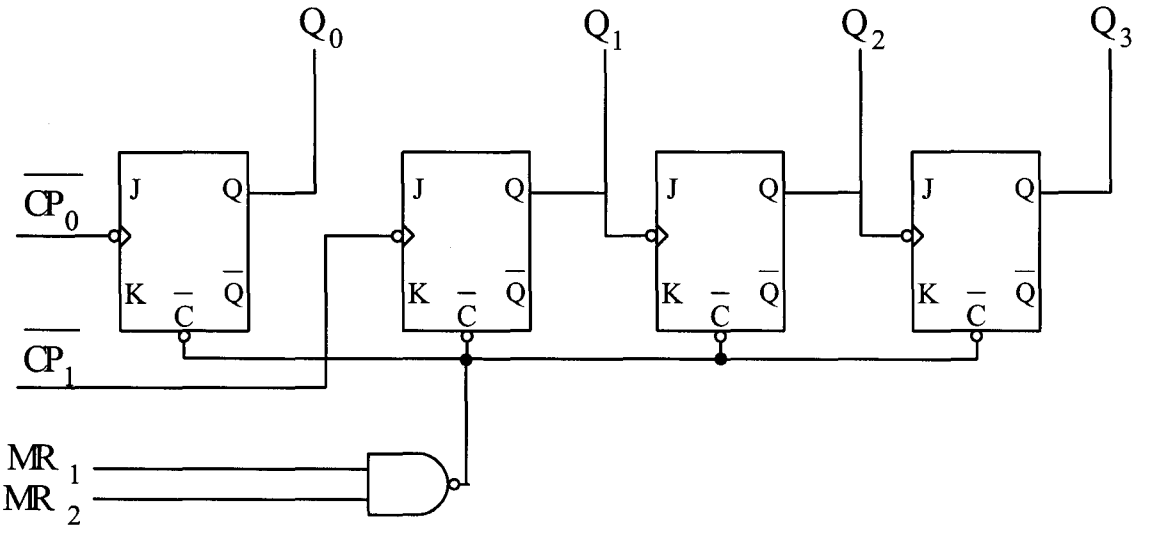
(c) ตัวทดออก (carry out) (d) ผลบวก

(e) ถูกทุกข้อ

คำตอบที่ถูกคือ_____

2. จงออกแบบวงจรแปลงสัญญาณนาฬิกาขนาด 60 MHz ให้เหลือเพียง 10 MHz โดยใช้ไอซี 74LS93(ที่กำหนดให้ดังรูปที่ 1) โดยให้เอาต์พุตของวงจรมี Duty Cycle เท่ากับ 50% (ข้อมูลเพิ่มเติมดูได้จาก Appendix) (5 คะแนน)

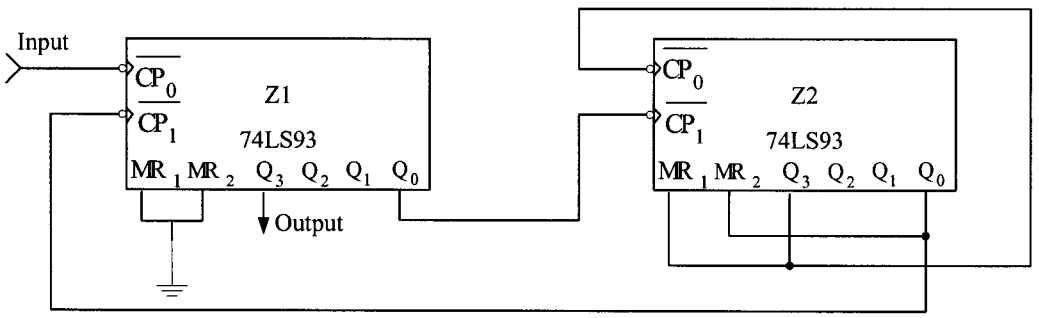
ตอบ



all J,K are high.

รูปที่ 1

3. จากรูปที่ 2 จงคำนวณหาความถี่เอาต์พุตและค่า Duty cycle ของสัญญาณที่ขา Output และขา Q_0 ของ Z2 เมื่อป้อนสัญญาณอินพุตขนาด 60 MHz (5 คะแนน)

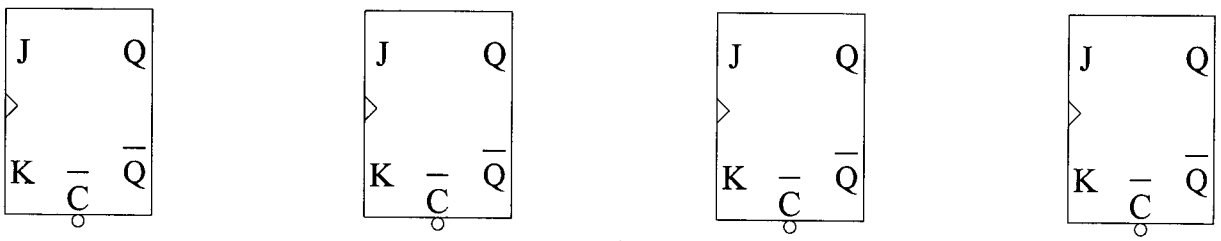


รูปที่ 2

ตอบ

4. จงออกแบบวงจรนับลง แบบ Asynchronous ขนาด 4 บิต ค่าการนับอยู่ในช่วงตั้งแต่ 10 จนถึง 0 โดยใช้ไอซี JK Flip-flop ดังรูปที่ 3 (6 คะแนน)

ตอบ



รูปที่ 3

5. จากวงจรที่ออกแบบในข้อ 4 จงตอบคำถามต่อไปนี้ (4 คะแนน)

5.1) กำหนดให้ฟลิบฟลอปมีค่าความหน่วงการแพร่กระจาย เท่ากับ 20 ns. จงหาค่าความถี่สูงสุดที่สามารถป้อนให้กับวงจรได้

ตอบ

5.2) ถ้าอินพุตป้อนความถี่ 100 kHz อยากทราบว่า เอาต์พุตที่วัดได้มีค่าความถี่ และค่า Duty cycle เท่าไหร่

ตอบ

5.3) ถ้าสถานะเริ่มต้นที่ 0100 เมื่อป้อนสัญญาณอินพุตผ่านไป 150 พัลส์ อยากทราบว่า JK Flipflop ทั้ง 4 ตัว อยู่ในสถานะใด

ตอบ

6. จงออกแบบวงจรนับขึ้น/ลง แบบ Synchronous โดยใช้ไอซี JK Flip-flop ซึ่งมีลำดับการนับดังนี้

2, 4, 5, 4, 2, 0, 7, 5, 7, 0, 2

6.1) จงเขียน State Diagram (2 คะแนน)

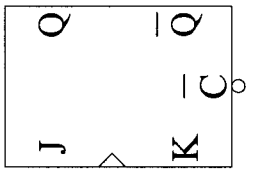
ตอบ

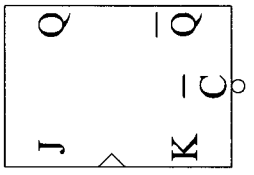
6.2) จงเขียนสมการลอจิก (8 คะแนน)

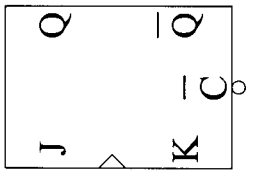
ตอบ

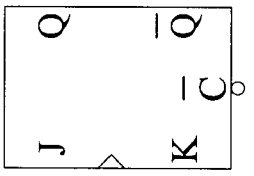
6.3) จงวาดรูปวงจร (5 คะแนน)

ตอบ

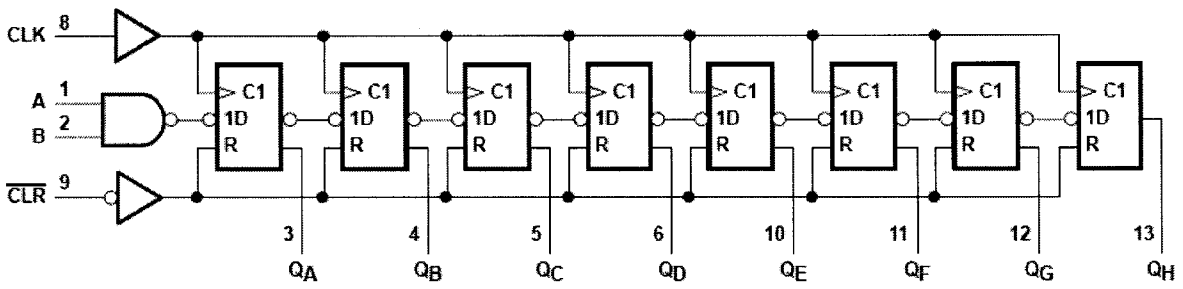








7. กำหนดลอจิกไดอะแกรมและตารางความจริงของไอซี SN74HC164 8-BIT Parallel-out serial shift registers ดังรูปที่ 4 จงเขียน Timing Diagram ของเอาต์พุต $Q_A - Q_H$ เมื่อกำหนดอินพุต A, B, CLK และ $\overline{CLR}$ ดังรูปที่ 5 (8 คะแนน)



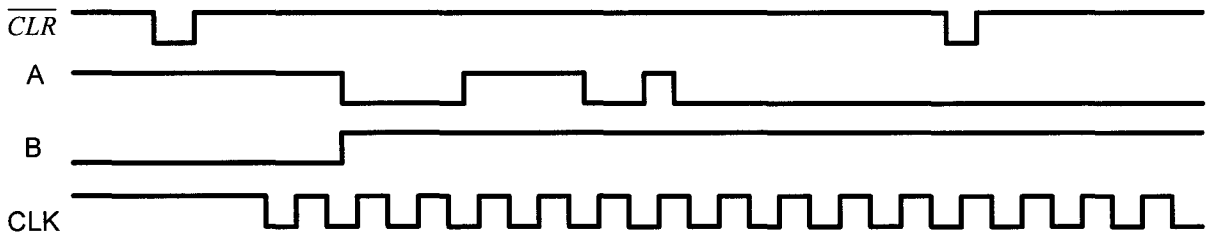
FUNCTION TABLE

INPUTS				OUTPUTS		
$\overline{CLR}$	CLK	A	B	Q_A	$Q_B \ldots Q_H$	
L	X	X	X	L	L	L
H	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	↑	H	H	H	Q_{An}	Q_{Gn}
H	↑	L	X	L	Q_{An}	Q_{Gn}
H	↑	X	L	L	Q_{An}	Q_{Gn}

Q_{A0}, Q_{B0}, Q_{H0} = the level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established

Q_{An}, Q_{Gn} = the level of Q_A or Q_G before the most recent ↑ transition of CLK: indicates a 1-bit shift

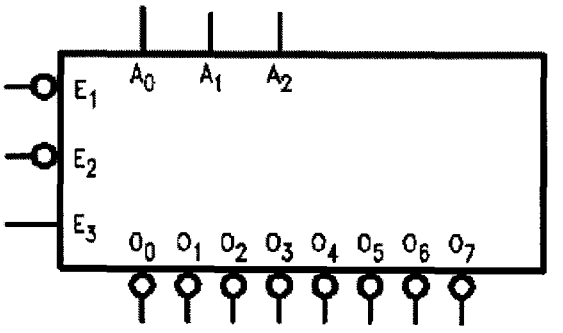
รูปที่ 4



รูปที่ 5

ตอบ

8. จาก Datasheet ของไอซี 74ACT138 1-of-8 Decoder/Demultiplexer สามารถนำมาประยุกต์ใช้เป็น Decoder หรือ Demultiplexer ได้ จากข้อมูลใน Appendix จงออกแบบโดยให้ 74ACT138 ทำหน้าที่เป็น Demultiplexer โดยใช้ Logic Symbol ดังรูปที่ 6 (4 คะแนน)

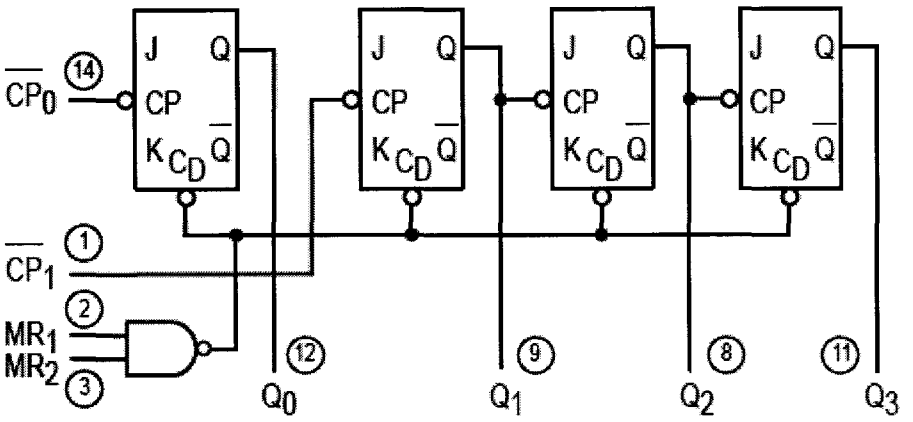


รูปที่ 6

Appendix

74LS93

LS93



◯ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

LS92 AND LS93
MODE SELECTION

RESET INPUTS		OUTPUTS			
MR_1	MR_2	Q_0	Q_1	Q_2	Q_3
H	H	L	L	L	L
L	H	Count			
H	L	Count			
L	L	Count			

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

LS93
TRUTH TABLE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H
10	L	H	L	H
11	H	H	L	H
12	L	L	H	H
13	H	L	H	H
14	L	H	H	H
15	H	H	H	H

NOTE: Output Q_0 is connected to Input CP_1.

FAIRCHILD SEMICONDUCTOR™

November 1988
Revised August 2000

74AC138 • 74ACT138
1-of-8 Decoder/Demultiplexer

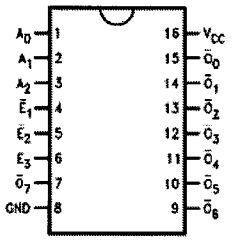
General Description

The AC/ACT138 is a high-speed 1-of-8 decoder/demultiplexer. This device is ideally suited for high-speed bipolar memory chip select address decoding. The multiple input enables allow parallel expansion to a 1-of-24 decoder using just three AC/ACT138 devices or a 1-of-32 decoder using four AC/ACT138 devices and one inverter.

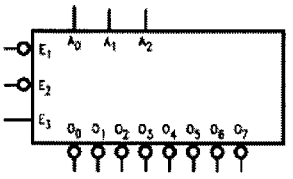
Features

- I_{CC} reduced by 50%
- Demultiplexing capability
- Multiple input enable for easy expansion
- Active LOW mutually exclusive outputs
- Outputs source/sink 24 mA
- ACT138 has TTL-compatible inputs

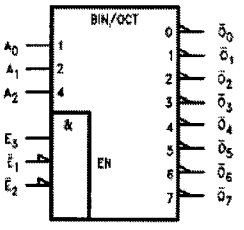
Connection Diagram



Logic Symbols



IEEE/IEC



Pin Descriptions

Pin Names	Description
A_0–A_2	Address Inputs
$\overline{E}_1$–$\overline{E}_2$	Enable Inputs
E_3	Enable Input
$\overline{O}_0$–$\overline{O}_7$	Outputs

Truth Table

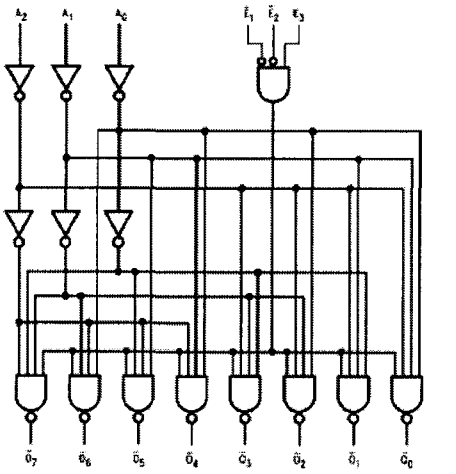
Inputs						Outputs							
$\overline{E}_1$	$\overline{E}_2$	E_3	A_0	A_1	A_2	$\overline{O}_0$	$\overline{O}_1$	$\overline{O}_2$	$\overline{O}_3$	$\overline{O}_4$	$\overline{O}_5$	$\overline{O}_6$	$\overline{O}_7$
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

H = HIGH Voltage Level L = LOW Voltage Level X = Immaterial

Functional Description

The AC/ACT138 high-speed 1-of-8 decoder/demultiplexer accepts three binary weighted inputs (A_0, A_1, A_2) and, when enabled, provides eight mutually exclusive active-LOW outputs ($\overline{O}_0$–$\overline{O}_7$). The AC/ACT138 features three Enable inputs, two active-LOW ($\overline{E}_1$, $\overline{E}_2$) and one active-HIGH (E_3). All outputs will be HIGH unless $\overline{E}_1$ and $\overline{E}_2$ are LOW and E_3 is HIGH. This multiple enable function allows easy parallel expansion of the device to a 1-of-32 (5 lines to 32 lines) decoder with just four AC/ACT138 devices and one inverter (see Figure 1). The AC/ACT138 can be used as an 8-output demultiplexer by using one of the active LOW Enable inputs as the data input and the other Enable inputs as strobes. The Enable inputs which are not used must be permanently tied to their appropriate active-HIGH or active-LOW state.

Logic Diagram



Please note that this diagram is provided only for the understanding of logic operations and should not be used to estimate propagation delays.