มหาวิทยาลัยสงขลานครินทร์

คณะวิศวกรรมศาสตร์ ภาควิชาวิศวกรรมคอมพิวเตอร์

การสอบปลายภาคการศึกษาที่ 2 ประจำปีการศึกษา 2548

วันที่ 27 กุมภาพันธ์ พ.ศ.2549 เวลา 13.30-16.30

วิชา 240-342 Logic Circuits Design ห้องสอบ A201

คำสั่ง

- ข้อสอบมีทั้งหมด ให้ทำทุกข้อ
- ไม่อนุญาตให้นำเครื่องคิดเลขและเอกสารใดๆ เข้าห้องสอบ
- ให้ตอบคำถามลงในข้อสอบ หากมีที่ว่างไม่พอให้ใช้พื้นที่ด้านหลังของข้อสอบได้

ชื่อ .....รหัสนักศึกษา .....

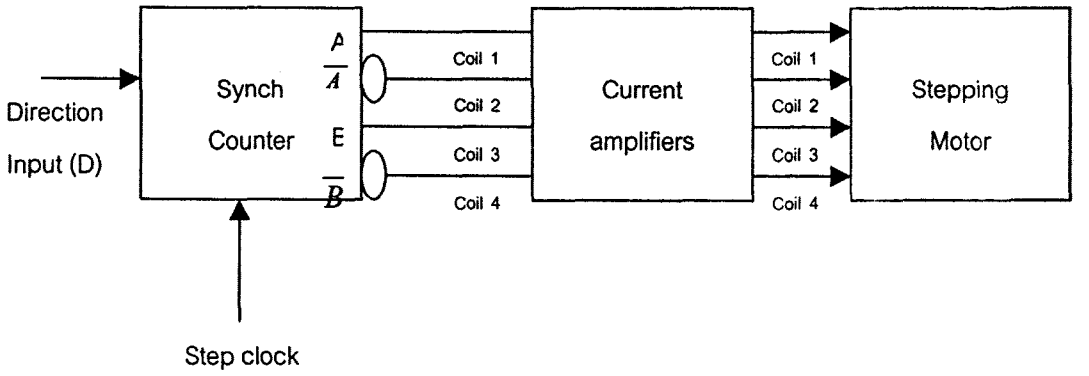
ทุจริตในการสอบ โทษขั้นต่ำคือ
ปรับตกในรายวิชาที่ทุจริต และพักการเรียน 1 ภาคการศึกษา

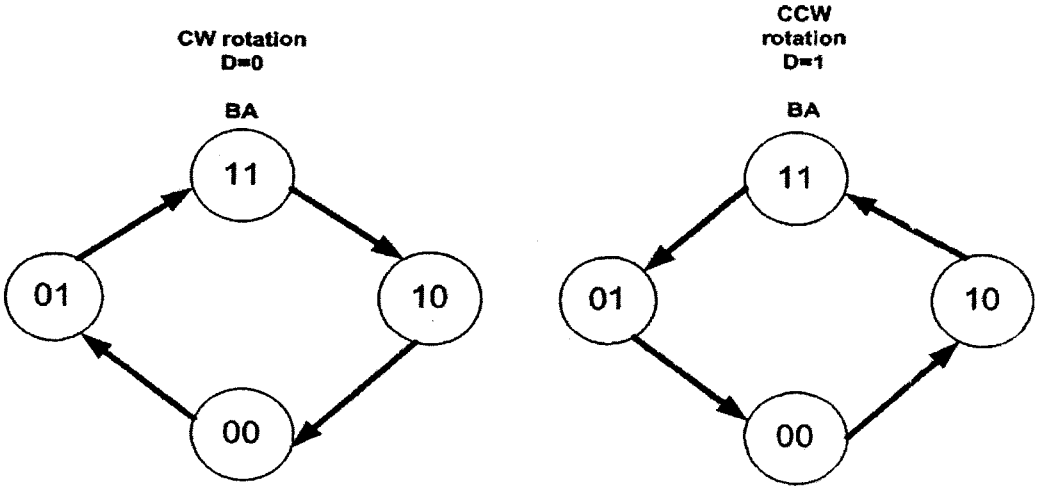
ชื่อ .....รหัสนักศึกษา .....

1. จงอธิบายโครงสร้าง, การทำงาน และความแตกต่างของ FPGA และ CPLD (10 คะแนน)

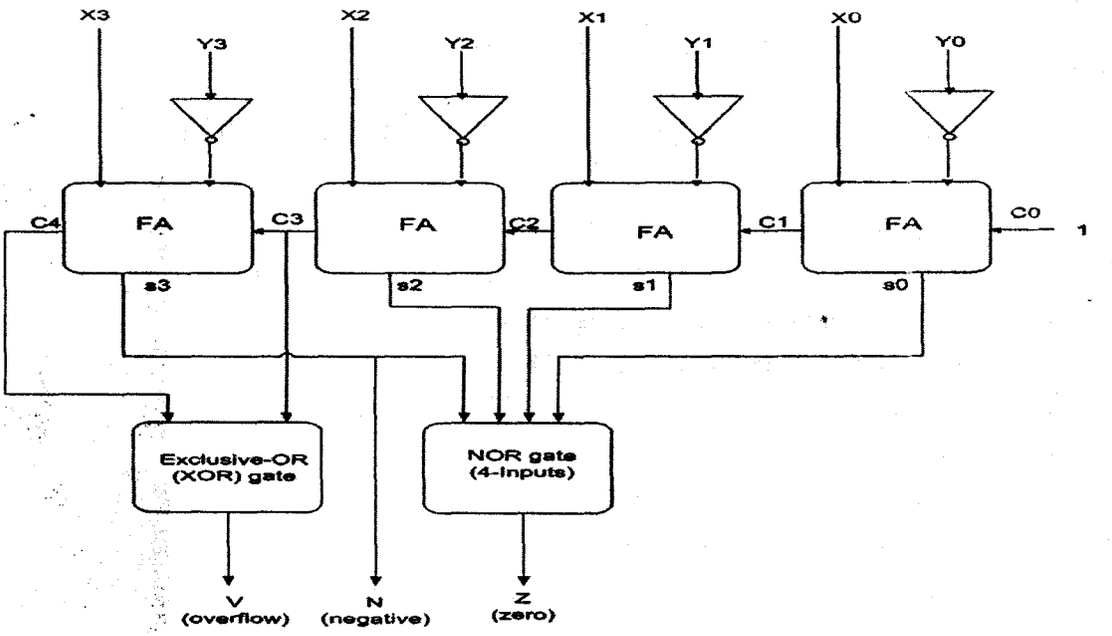
2. จงเขียน Flowchart ขั้นตอนการออกแบบ FPGA พร้อมทั้งอธิบายแต่ละขั้นตอนและระบุเครื่องมือที่ใช้ในการออกแบบแต่ละระดับ (10 คะแนน)

3. จงออกแบบวงจรและเขียนภาษา VHDL โดยเป็นวงจรแบบ Synchronous Counter ที่ใช้ JK flip flop ควบคุมการทำงานของ Stepping Motor โดยสามารถควบคุมการหมุนของมอเตอร์หมุนตามหรือหมุนทวนเข็มนาฬิกาตาม State transition diagram ดังรูป โดยถ้าอินพุท D=1 หมุนทวน และ D=0 หมุนตาม สัญญาณ A และ $\overline{A}$ เป็นเอาท์พุทของ JK flip flop ตัวแรก ส่วนสัญญาณ B และ $\overline{B}$ เป็นเอาท์พุทของ JK flip flop ตัวที่สอง (20 คะแนน)

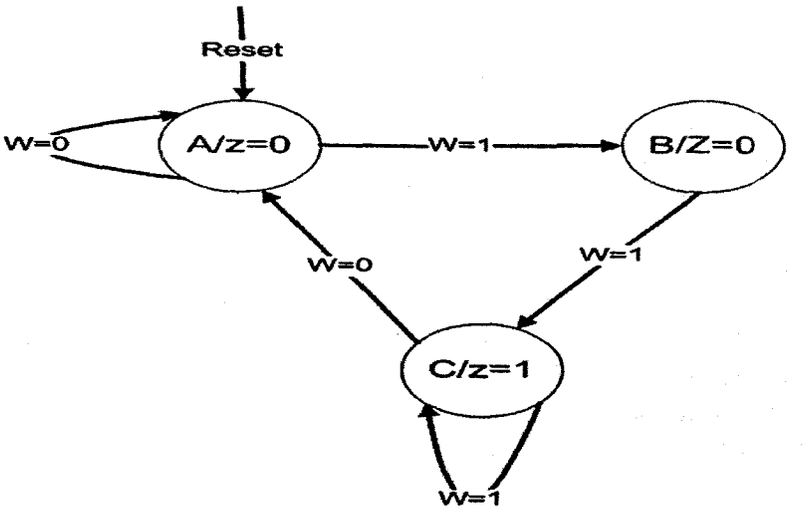




3. จากรูปวงจรจงเขียนภาษา VHDL และทำการทดสอบวงจรโดยเขียน Testbench (ไม่ต้องเขียน Entity ของ Full Adder) (20 คะแนน)



5. จงเขียนภาษา VHDL บรรยาย Finite-State Machine ดังต่อไปนี้ (20 คะแนน)



6. จงออกแบบระบบขนาดเล็กด้วยภาษา VHDL (วาด Diagram อธิบายการทำงานพร้อมทั้งเขียน VHDL) (30 คะแนน)