มหาวิทยาลัยสงขลานครินทร์
คณะวิศวกรรมศาสตร์

สอบกลางภาค : ภาคการศึกษาที่ 1 **ปีการศึกษา** : 2549

วันที่สอบ : 1 สิงหาคม 2549 **เวลาสอบ** : 13.30-16.30 น.

รหัสวิชา : 240-440 **ห้องสอบ** : A203

ชื่อวิชา : VLSI SYSTEMS DESIGN

คำสั่ง: **อ่านรายละเอียดของข้อสอบ และคำแนะนำให้เข้าใจก่อนเริ่มทำข้อสอบ**

อนุญาต : เครื่องคิดเลข, กระดาษ A4 1 แผ่น ที่เขียนด้วยลายมือ

ไม่อนุญาต : หนังสือ และเอกสารใด ๆ เข้าห้องสอบ

เวลา: 3 ชั่วโมง (180 นาที)

คำแนะนำ

- ข้อสอบมี 2 หน้า (รวมใบปะหน้า) 5 ข้อ คะแนนรวม 50 คะแนน
- เขียนคำตอบลงในข้อสอบเท่านั้น
- ใช้ดินสอทำข้อสอบได้ กรณีเขียนไม่ชัดหรืออ่านไม่ออก จะถือว่าคำตอบนั้นผิด
- อ่านคำสั่งในแต่ละข้อให้เข้าใจก่อนลงมือทำ
- **อย่าลืม เขียน ชื่อ-นามสกุล และรหัสนักศึกษา ลงในข้อสอบ**

ทุจริตในการสอบมีโทษขั้นปรับตกในรายวิชานั้น
และพักการเรียน 1 ภาคการศึกษา โทษสูงสุดให้ออก

1. Consider the design of a CMOS compound AOI (AND-OR-INVERT)) gate computing $F = \overline{(A \cdot B) + (C \cdot D)}$
   a. Sketch a transistor-level schematic
   b. Sketch a stick diagram
   c. Estimate the area from the stick diagram (unit in λ)

2. Sketch a stick diagram for a CMOS gate computing Y = A + B + C and estimate the cell width and height.

3. Calculate the diffusion parasitic C_{db} of the drain of a unit-sized contacted nMOS transistor in a 0.5 μm process when the drain is at 0V and at V_{DD} = 5V. Assume the substract is grounded. The transistor characteristics are $CJ = 0.42 fF/\mu m^2$, $MJ = 0.44$, $CJSW = 0.33 fF/\mu m$, $MJSW = 0.10$, and $\psi_O = 0.75V$ at room temperature.

4. Sketch a 4-input NOR gate with transistor widths chosen to achieve equal rise and fall resistance as a unit inverter. Show why the logical effort is 9/3.

5. Consider a process in which pMOS transistors have three times the effective resistance as nMOS transistors. A unit inverter with equal rising and falling delay in this process is shown in Fig.1. Calculate the logical effort of a 2-input NAND gate and a 2-input NOR gate if they are designed with equal rising and falling delay.

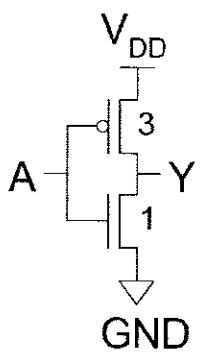

Fig 1