**มหาวิทยาลัยสงขลานครินทร์**

**คณะวิศวกรรมศาสตร์**

---

การสอบปลายภาค ประจำภาคการศึกษาที่ 1 ปีการศึกษา : 2549

วันที่ 13 ตุลาคม พ.ศ. 2549 เวลา : 9:00 – 12:00

วิชา : 240-205 Digital Systems and Logic Design ห้อง : R300

---

**ทุจริตในการสอบ โทษขั้นต่ำคือ ปรับตกในรายวิชาที่ทุจริต และพักการเรียนหนึ่งภาคการศึกษา**

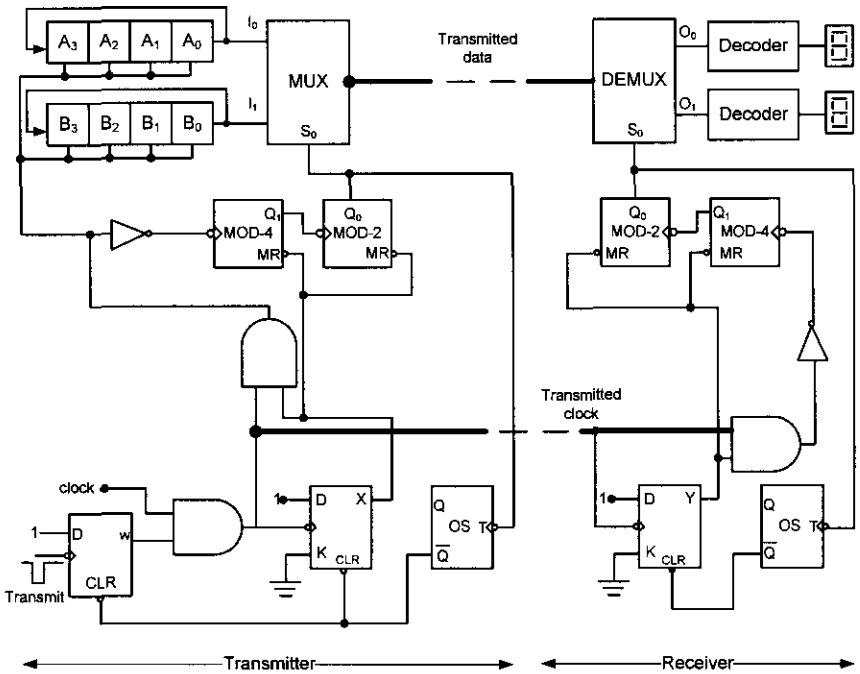
**คำสั่ง**

1. ข้อสอบมีทั้งหมด 6 ข้อ 9 หน้า (ไม่รวมปก และ Appendix)
2. แต่ละข้อคะแนนไม่เท่ากัน ให้แสดงวิธีทำโดยละเอียดในข้อสอบ
3. ห้ามนำเครื่องคิดเลข, เอกสารใดๆ เข้าห้องสอบ
4. คำตอบทุกข้อเขียนให้ชัดเจน ถ้าอ่านไม่ออกถือว่าตอบผิด

รหัสนักศึกษา : _____ ชื่อ :_____ตอน : _____

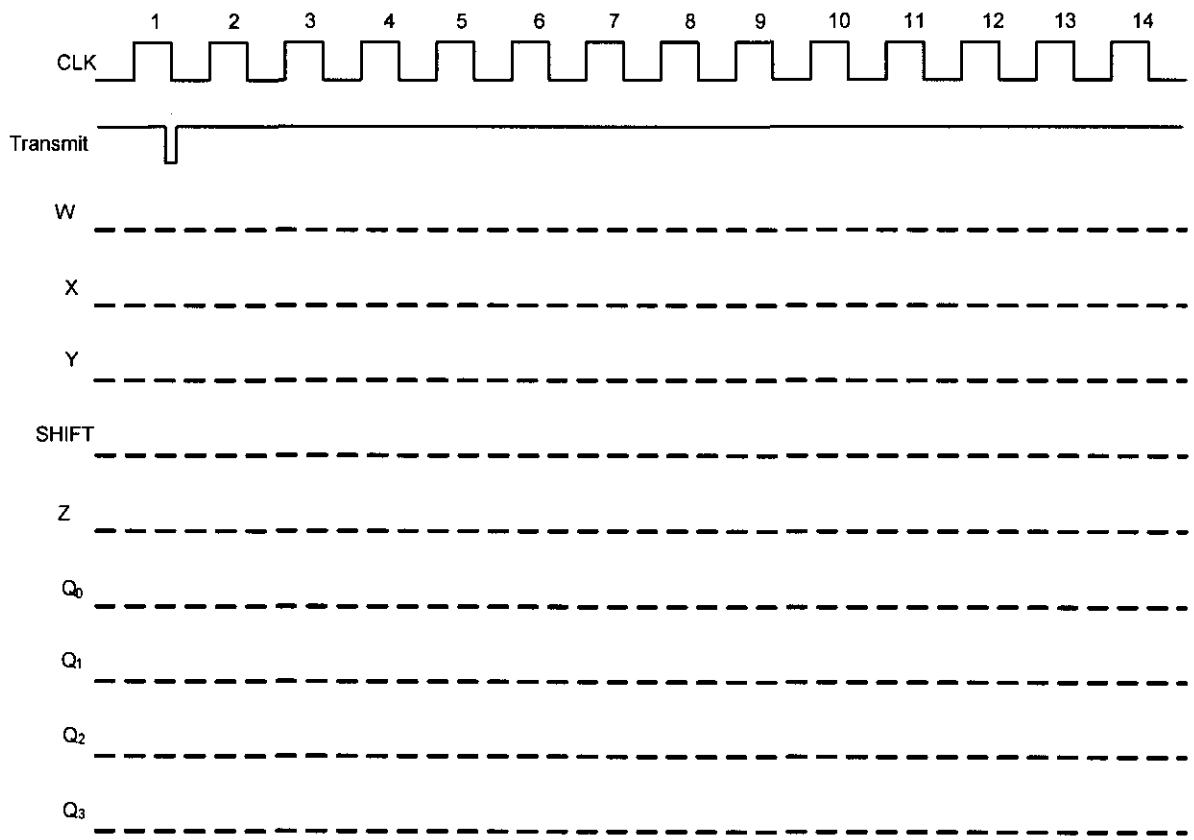
| คำถาม | 1 | 2 | 3 | 4 | 5 | 6 | รวม |
|---|---|---|---|---|---|---|---|
| คะแนน | | | | | | | |

1. จงเขียน Timing Diagram ของวงจรรูปที่ 1 เมื่อกำหนดให้ A = 0110, B = 1001 (10 คะแนน)




รูปที่ 1

**ตอบ**



2. จงออกแบบวงจรนับ ที่มีสถานะการนับดังนี้ 0, 2, 4, 6 โดยใช้ไอซี MC10EL31 ดังรูปที่ 2 และกำหนดให้วงจรนี้สามารถกำหนดทิศทางการนับดังนี้ ถ้า Y = 0 เป็นการนับทวนเข็มนาฬิกา และ Y = 1 เป็นการนับตามเข็มนาฬิกา ตอบคำถามต่อไปนี้

**MC10EL31, MC100EL31**

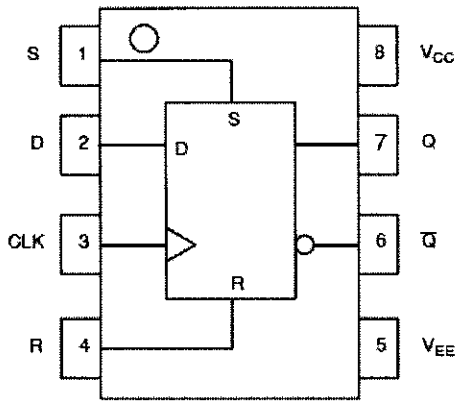



**Figure 1. Logic Diagram and Pinout Assignment**

**Table 1. TRUTH TABLE**

| D | S* | R* | CLK | Q |
|---|---|---|---|---|
| L | L | L | Z | L |
| H | L | L | Z | H |
| X | H | L | X | H |
| X | L | H | X | L |
| X | H | H | X | Undef |

Z = LOW to HIGH Transition

* Pins will default low when left open.

**Table 2. PIN DESCRIPTION**

| PIN | FUNCTION |
|---|---|
| S | ECL Set Input |
| D | ECL Data Input |
| R | ECL Reset Input |
| CLK | ECL Clock Input |
| Q, $\overline{Q}$ puts | ECL Data Out- |
| $V_{CC}$ | Positive Supply |
| $V_{EE}$ | Negative Supply |

รูปที่ 2

(a) เขียน state diagram การนับ (2 คะแนน)

**ตอบ**

(b) ตารางแสดงสถานะปัจจุบัน อนาคตและอินพุตของ D ฟลิปฟลอป (5 คะแนน)

**ตอบ**

(c) แสดงตาราง K-map พร้อมทั้งสมการที่ได้ ( 6 คะแนน)

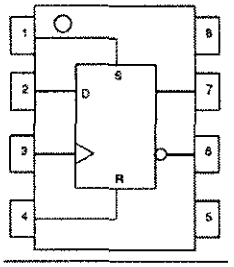
**ตอบ**

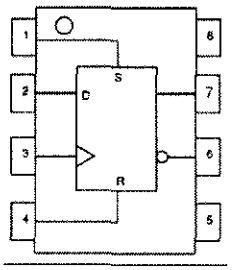
(d) จากสมการที่ได้ในข้อ 2 (c) จงลดรูปโดยใช้เกตให้น้อยที่สุด ( 2 คะแนน)

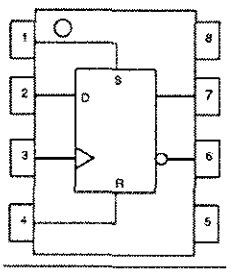
**ตอบ**

(e) วาดวงจรที่ได้จากการออกแบบ เมื่อกำหนด Logic diagram ของไอซี MC10EL31 ( 4 คะแนน)

**ตอบ**



3. จากข้อมูลของไอซี 74HC107 ที่กำหนดให้ (ดูข้อมูลจาก Appendix) ตอบคำถามต่อไปนี้ (6 คะแนน)

(a) ต้องการให้ output ของ ฟลิบฟลอบมีสถานะเป็น "0" โดยไม่ขึ้นกับสัญญาณ clock ต้องควบคุมไอซีอย่างไร (ตอบให้สมบูรณ์ที่สุด) (2 คะแนน)

**ตอบ** _____

_____

(b) ต้องการให้ output ของ ฟลิบฟลอบเปลี่ยนสถานะทุกครั้งที่ป้อนสัญญาณ clock ต้องควบคุมไอซีอย่างไรบ้าง (ตอบให้สมบูรณ์ที่สุด) (2 คะแนน)

**ตอบ** _____

_____

(c) บอกจำนวนฟลิบฟลอบที่มากที่สุดที่สามารถนำมาต่อเป็นวงจร Asynchronous counter แล้วยังคงทำงานได้อย่างถูกต้อง (2 คะแนน)

**ตอบ** _____

_____

_____

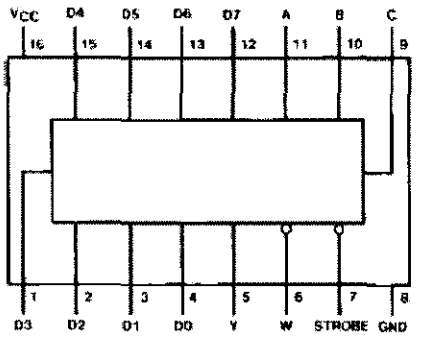
_____

4. จงสร้างวงจรโดยใช้ Connection diagram ที่กำหนดให้ ให้มีการทำงานเหมือนในตารางค่าความจริงตารางที่ 1 และให้ใช้ไอซี 74LS151 Line Data Selector/Multiplexer (ดูข้อมูลเพิ่มเติมใน Appendix) กับเกตพื้นฐานเท่านั้นในการสร้างวงจร (5 คะแนน)

ตารางที่ 1

| C | B | A | Y |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

**ตอบ**

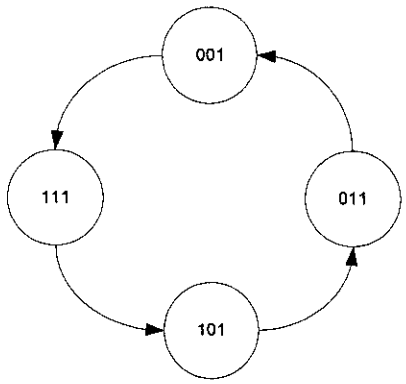


5. จงสร้างวงจรเลื่อนค่าแบบหมุนโดยกำหนดให้มีค่าเริ่มต้นที่ "0001100" พร้อมแสดง Waveform ที่เกิดขึ้น

(5 คะแนน)

**ตอบ**

6. จากสเตตแมชชีนที่กำหนดให้




(a) เติมค่าของสถานะปัจจุบัน ถัดไป และ J,K (8 คะแนน)

| $Q_N$ | | | $Q_{N+1}$ | | | J,K F/F | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|
| $Q_2$ | $Q_1$ | $Q_0$ | $Q_2$ | $Q_1$ | $Q_0$ | $J_2$ | $K_2$ | $J_1$ | $K_1$ | $J_0$ | $K_0$ |
| | | | | | | | | | | | |
| | | | | | | | | | | | |
| | | | | | | | | | | | |
| | | | | | | | | | | | |
| | | | | | | | | | | | |
| | | | | | | | | | | | |
| | | | | | | | | | | | |
| | | | | | | | | | | | |

(b) แสดงตาราง K-map ที่ได้ในข้อ 6. (a) (12 คะแนน)

# APPENDIX

# Dual JK flip-flop with reset; negative-edge trigger | 74HC/HCT107

## FEATURES

- Output capability: standard
- $I_{CC}$ category: flip-flops

## GENERAL DESCRIPTION

The 74HC/HCT107 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT107 are dual negative-edge triggered JK-type flip-flops featuring individual J, K, clock ($n\overline{CP}$) and reset ($n\overline{R}$) inputs; also complementary Q and $\overline{Q}$ outputs.

The J and K inputs must be stable one set-up time prior to the HIGH-to-LOW clock transition for predictable operation.

The reset ($n\overline{R}$) is an asynchronous active LOW input. When LOW, it overrides the clock and data inputs, forcing the Q output LOW and the $\overline{Q}$ output HIGH.

Schmitt-trigger action in the clock input makes the circuit highly tolerant to slower clock rise and fall times.

## QUICK REFERENCE DATA

GND = 0 V; $T_{amb}$ = 25 °C; $t_r = t_f$ = 6 ns

| SYMBOL | PARAMETER | CONDITIONS | TYPICAL | | UNIT |
|---|---|---|---|---|---|
| | | | HC | HCT | |
| $t_{PHL}/ t_{PLH}$ | propagation delay | | | | |
| | $n\overline{CP}$ to nQ | $C_L$ = 15 pF; $V_{CC}$ = 5 V | 16 | 16 | ns |
| | $n\overline{CP}$ to $n\overline{Q}$ | | 16 | 18 | ns |
| | $n\overline{R}$ to nQ, $n\overline{Q}$ | | 16 | 17 | ns |
| $f_{max}$ | maximum clock frequency | | 78 | 73 | MHz |
| $C_I$ | input capacitance | | 3.5 | 3.5 | pF |
| $C_{PD}$ | power dissipation capacitance per flip-flop | notes 1 and 2 | 30 | 30 | pF |

**Notes**

1. $C_{PD}$ is used to determine the dynamic power dissipation ($P_D$ in µW):

   $P_D = C_{PD} \times V_{CC}^2 \times f_i + \Sigma (C_L \times V_{CC}^2 \times f_o)$ where:

   $f_i$ = input frequency in MHz

   $f_o$ = output frequency in MHz

   $\Sigma (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs

   $C_L$ = output load capacitance in pF

   $V_{CC}$ = supply voltage in V

2. For HC the condition is $V_I$ = GND to $V_{CC}$
   For HCT the condition is $V_I$ = GND to $V_{CC}$ – 1.5 V.

## ORDERING INFORMATION

See *"74HC/HCT/HCU/HCMOS Logic Package Information"*.

**PIN DESCRIPTION**

| PIN NO. | SYMBOL | NAME AND FUNCTION |
|---|---|---|
| 1, 8, 4, 11 | 1J, 2J, 1K, 2K | synchronous inputs; flip-flops 1 and 2 |
| 2, 6 | $1\overline{Q}$, $2\overline{Q}$ | complement flip-flop outputs |
| 3, 5 | 1Q, 2Q | true flip-flop outputs |
| 7 | GND | ground (0 V) |
| 12, 9 | $1\overline{CP}$, $2\overline{CP}$ | clock input (HIGH-to-LOW, edge-triggered) |
| 13, 10 | $1\overline{R}$, $2\overline{R}$ | asynchronous reset inputs (active LOW) |
| 14 | $V_{CC}$ | positive supply voltage |

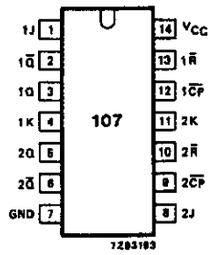



Fig.1 Pin configuration.

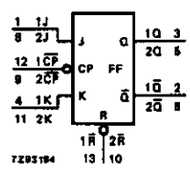



Fig.2 Logic symbol.

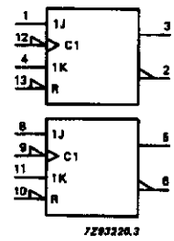
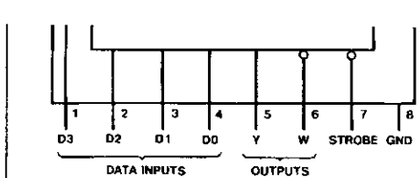



Fig.3 IEC logic symbol.






| | | | | | |
|---|---|---|---|---|---|
| H | L | H | L | D5 | $\overline{D5}$ |
| H | H | L | L | D6 | $\overline{D6}$ |
| H | H | H | L | D7 | $\overline{D7}$ |

H = HIGH Level
L = LOW Level
X = Don't Care
D0, D1...D7 = the level of the respective D input

FAIRCHILD SEMICONDUCTOR™

August 1986
Revised March 2000

# DM74LS151
# 1-of-8 Line Data Selector/Multiplexer

## General Description

This data selector/multiplexer contains full on-chip decoding to select the desired data source. The DM74LS151 selects one-of-eight data sources. The DM74LS151 has a strobe input which must be at a low logic level to enable these devices. A high level at the strobe forces the W output HIGH, and the Y output LOW.

The DM74LS151 features complementary W and Y outputs.

## Features

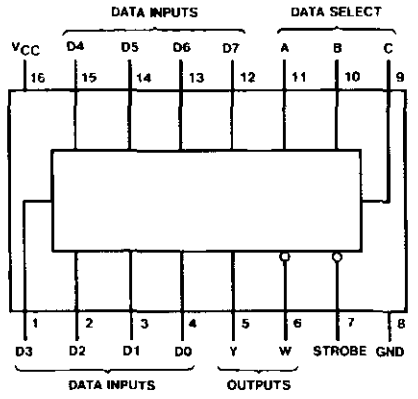
- Select one-of-eight data lines
- Performs parallel-to-serial conversion
- Permits multiplexing from N lines to one line
- Also for use as Boolean function generator
- Typical average propagation delay time data input to W output 12.5 ns
- Typical power dissipation 30 mW

## Ordering Code:

| Order Number | Package Number | Package Description |
|---|---|---|
| DM74LS151M | M16A | 16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow |
| DM74LS151SJ | M16D | 16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide |
| DM74LS151N | N16E | 16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide |

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

## Connection Diagram




## Truth Table

| Inputs | | | | Outputs | |
|---|---|---|---|---|---|
| Select | | | Strobe | Y | W |
| C | B | A | S | | |
| X | X | X | H | L | H |
| L | L | L | L | D0 | $\overline{D0}$ |
| L | L | H | L | D1 | $\overline{D1}$ |
| L | H | L | L | D2 | $\overline{D2}$ |
| L | H | H | L | D3 | $\overline{D3}$ |
| H | L | L | L | D4 | $\overline{D4}$ |
| H | L | H | L | D5 | $\overline{D5}$ |
| H | H | L | L | D6 | $\overline{D6}$ |
| H | H | H | L | D7 | $\overline{D7}$ |

H = HIGH Level
L = LOW Level
X = Don't Care
D0, D1...D7 = the level of the respective D input

© 2000 Fairchild Semiconductor Corporation 