PRINCE OF SONGKLA UNIVERSITY

FACULTY OF ENIGNEERING

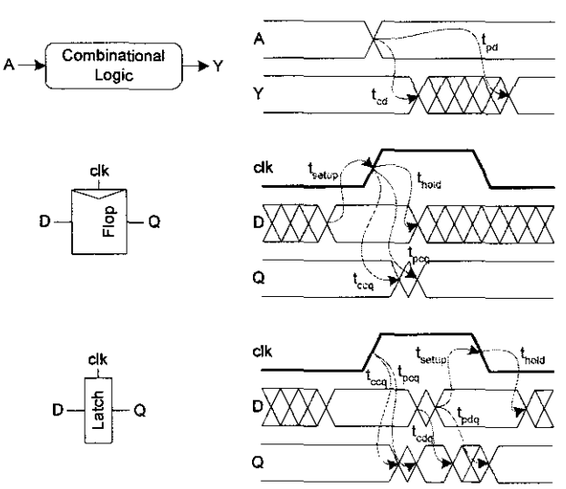
ข้อสอบปลายภาค: ภาคการศึกษาที่ 1 ปีการศึกษา: 2549

วันที่: 5 ตุลาคม 2549 เวลา: 9:00 – 12:00

วิชา : 240- 440 VLSI Systems Design ห้องสอบ : R201

<u>อนุญาต</u>ให้นำเอกสารหรือหนังสือเข้าห้องสอบได้

1. จงออกแบบและสร้าง Layout วงจรฟังก์ชันการทำงานของ XOR-XNOR โดยใช้ Logic Family ต่างกัน ดังนี้
   1.1 Static CMOS (5 คะแนน)
   1.2 Dynamic CMOS (5 คะแนน)
   1.3 Pass transmission gate (CMOSTG), (5 คะแนน)
   1.4 CPL (5 คะแนน)
2. จงวาดวงจรเพื่อแสดงถึงขนาดของทรานซิสเตอร์ในวงจร 3-input NAND ที่เกิดลักษณะของ skewed gate ดังต่อไปนี้
   2.1 Unskewed (3 คะแนน)
   2.2 Hi-Skewed (3 คะแนน)
   2.3 Low-Skewed (3 คะแนน)
3. จงอธิบาย Timing Diagram ของวงจรต่างๆดังรูปด้านล่างนี้ (9 คะแนน)



4. หน่วยประมวลผลทางคณิตศาสตร์ (Arithmetic/logic Unit; ALU) ประกอบด้วย component ต่างๆดังตารางแสดงไว้ด้านล่าง

Element	Propagation Delay	Contamination Delay
40-bit Adder	5900 ps	1 ns
40-bit Multiplexer	600 ps	350 ps
40-bit Multipler	6.5 ns	900 ps
Wire	100 ps	65 ps
40-bit Register	Setup = 620 ps, hold time = 100 ps Propagation delay = 900 ps contamination delay = 750 ps	

4.1 ออกแบบ datapath ของ Multiply-Accumulator (MAC) ขนาด 40 bits ซึ่งประกอบไปด้วยวงจรบวก คูณ และเก็บค่าไว้ใน accumulator register ทั้งนี้ให้มีฟังก์ชันของการ by passที่สามารถนำค่าจากการบวกเก็บเข้าสู่ Accumulator register ได้โดยตรง ได้ชั่วคราว โดย*เลือกใช้* component Macro cell ที่ให้ไว้ในตาราง (10 คะแนน)

4.2 จงคำนวณพื้นที่โดยประมาณโดยการเขียน Floorplan ของ Datapath ที่ได้ทำการออกแบบ (10 คะแนน)

4.3 จงทำคำนวณหาค่า cycle time (Tc) ของวงจรที่ออกแบบ (5 คะแนน)