มหาวิทยาลัยสงขลานครินทร์

คณะวิศวกรรมศาสตร์

ข้อสอบกลางภาค : ภาคเรียนที่ 2 ปีการศึกษา: 2549

วันสอบ: 23 ธันวาคม 2549 เวลา: 9:00 – 12:00

รหัสวิชา : 240- 342 Logic Circuits Design ห้องสอบ : หัวหุ่น

*** อนุญาตให้นำเอกสาร หนังสือ เข้าห้องสอบได้ ***

*** ทุจริตในการสอบ โทษขั้นต่ำคือ ***

*** ปรับตกในรายวิชาที่ทุจริต และพักการเรียน 1 ภาคการศึกษา ***

คำสั่ง

1. ข้อสอบมีทั้งหมด 8 ข้อ (60 คะแนน)
2. การสร้างวงจรให้นักศึกษาสามารถเลือกใช้ภาษา VHDL หรือ Verilog ได้ตามถนัด

การให้คะแนนสำหรับข้อ 1 - 4

declare input/output = 20%, การใช้สัญญาณ ตัวแปร = 20%, ตัวการทำงานของวงจรเอง 60%

1. สร้างวงจรบวกแบบ ripple adder ขนาด 4 บิต กำหนดให้มี input = A และ B มีขนาด 4 บิต, Input Cin มีขนาด 1 บิต โดยให้ผลลัพธ์เป็น output = sum ขนาด 4 บิต และ cout ขนาด 1 บิต ตามลำดับ(5 คะแนน)

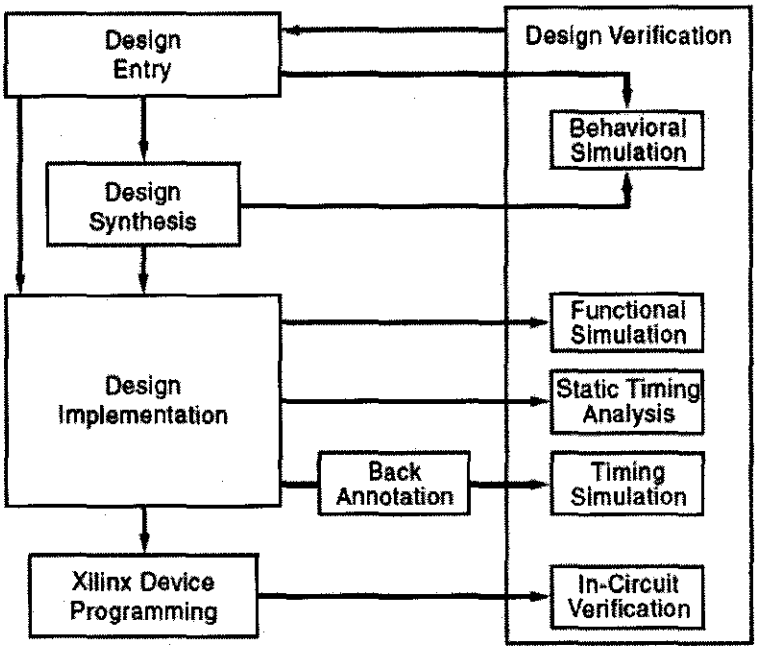
2. จงเขียนโปรแกรมทดสอบ (Test Bench) วงจรบวกในข้อที่ 1 (5 คะแนน)

3. จงสร้างวงจรฟลิปฟลอปชนิด D โดยกำหนดให้มีขาสัญญาณดังต่อไปนี้ CLK, CLR, D, Qและ nQ (5 คะแนน)

4. จงสร้างวงจรรีจิสเตอร์ไฟล์กำหนดให้สามารถมีรีจิสเตอร์ใช้งานได้ทั้งหมด 8 ตัว แต่ละตัวมีขนาด 16 บิต สามารถเชื่อมต่อพอร์ตสำหรับใช้อ่าน 2 พอร์ต (Read port) และพอร์ตสำหรับการเขียน 1 พอร์ต (Write port) (10 คะแนน)

5. จงอธิบายโครงสร้างและการทำงาน FPGA อย่างละเอียดพร้อมทั้งวาดรูปประกอบ (5 คะแนน)

6. จงอธิบายขั้นตอนการออกแบบวงจร FPGA โดยใช้ภาษา VHDL หรือ Verilog ดังรูปด้านล่าง (5 คะแนน)



7. จงออกแบบวงจร Comparator โดยใช้ภาษา VHDL หรือ Verilog และเขียนโปรแกรมทดสอบวงจร พร้อมทั้งวาดรูปประกอบ วงจรประกอบด้วย 2 อินพุท แต่ละอินพุทมีขนาด 4 บิท และมี 3 เอาท์พุท ถ้าอินพุทแรกมีค่ามากกว่าอินพุทสอง เอาท์พุทค่าแรกจะแสดงค่าลอจิกหนึ่ง แต่ ถ้าอินพุทแรกมีค่าน้อยกว่าอินพุทสอง เอาท์พุทค่าที่สองจะแสดงค่าหนึ่ง ถ้าอินพุททั้งสองค่ามีค่าเท่ากัน เอาท์พุทที่สามจะมีค่าเท่ากับหนึ่ง นอกเหนือจากนี้จะแสดงค่าศูนย์ (10 คะแนน)

8. จงใช้ตาราง Truth table ต่อไปนี้ ออกแบบวงจร โดยเขียน Karnaugh Map และและเขียนบรรยายวงจรโดยใช้ภาษา VHDL หรือ Verilog และเขียนโปรแกรมทดสอบวงจร พร้อมทั้งวาดรูปวงจร (15 คะแนน)

Input			Output	
x_1	x_2	x_3	y	z
0	0	0	1	0
0	0	1	0	1
0	1	0	1	0
0	1	1	0	0
1	0	0	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0