มหาวิทยาลัยสงขลานครินทร์

คณะวิศวกรรมศาสตร์

ข้อสอบปลายภาค : ภาคเรียนที่ 2 ปีการศึกษา: 2549

วันสอบ: 24 กุมภาพันธ์ 2550 เวลา: 13:30 – 16:30

รหัสวิชา : 240- 342 Logic Circuits Design ห้องสอบ : A400

*** อนุญาตให้นำเอกสาร หนังสือ เข้าห้องสอบได้ ***

*** ทุจริตในการสอบ โทษขั้นต่ำคือ ***

*** ปรับตกในรายวิชาที่ทุจริต และพักการเรียน 1 ภาคการศึกษา ***

คำสั่ง

1. ข้อสอบมีทั้งหมด 5 ข้อ (105 คะแนน)
2. การสร้างวงจรให้นักศึกษาสามารถเลือกใช้ภาษา VHDL หรือ Verilog ได้ตามถนัด

---

1. จงออกแบบ Flow chart และสร้างวงจรหารความถี่เพื่อให้สามารถใช้งาน UART ที่ Baud rate 115200 ได้ กำหนดให้สัญญาณนาฬิกาขาเข้าเป็น 20 MHz (15 คะแนน)
   a. Flow chart (5 คะแนน)
   b. Coding (10 คะแนน)
2. จงออกแบบไมโครโพรเซสเซอร์ให้สามารถทำงานคำสั่งดังต่อไปนี้
   a. ADD x, y, z ; x = y + z
   b. SUB x, y, z ; x = y – z
   c. LD x, [y] ; x = [y]
   d. ST [y], x ; [y] = x

   (45 คะแนน)

2.1 จงออกแบบชุดคำสั่ง (Instruction Set Architecture; ISA) ให้รองรับการทำงานทั้ง 4 คำสั่งข้างต้น (5 คะแนน)

2.2 จงวาด block Diagram ของทั้งระบบที่ประกอบด้วยส่วนของ Datapath + Control Unit (5 คะแนน)

2.3 จงวาด flow chart สเตตแมชชีนของ Control Unit (5 คะแนน)

2.4 Coding ส่วนของ Datapath (10 คะแนน)

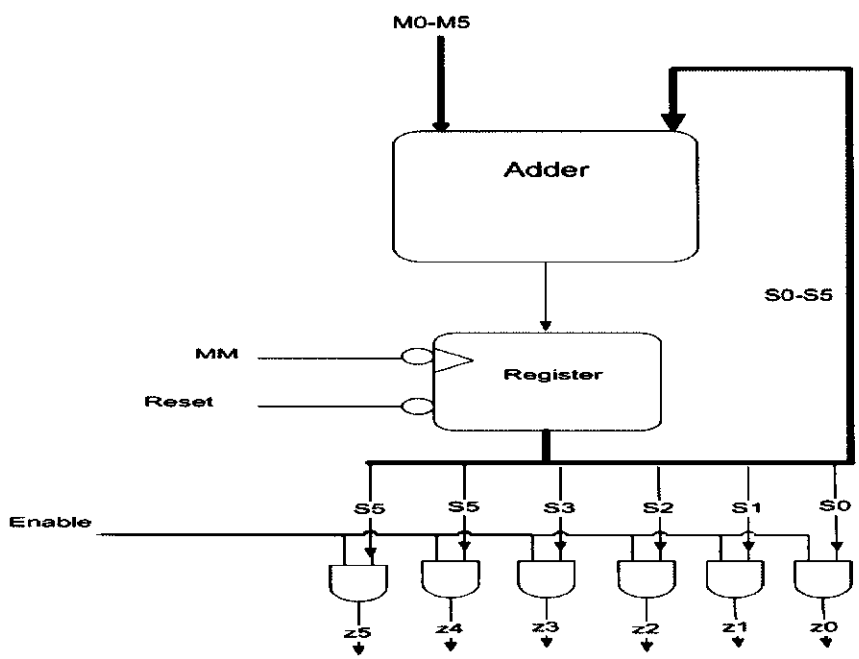
2.5 Coding ส่วนของ Control Unit (10 คะแนน)

2.6 Test Bench เพื่อทดสอบการทำงานของโพรเซสเซอร์ที่ออกแบบ ว่าสามารถทำงานได้ครบทั้ง 4 คำสั่ง (10 คะแนน)

3. จากรูปที่ 1 เป็นวงจรเครื่องนับเงิน โดย จำนวนเงินจะรับค่ามาจากอินพุทM0-M5 และรวมจำนวนเงินด้วย Adder และเก็บไว้ในรีจิสเตอร์ ซึ่งวงจรรีจิสเตอร์จะมีขาสัญญาณ MM โดยจะมีสัญญาณเข้ามาที่ขา MM ก็ต่อเมื่อมีเงินเข้ามาที่อินพุท M0-M5 เพื่อสั่งให้รีจิสเตอร์เตรียมทำงาน และขา Reset เป็นการเคลียร์ค่าในรีจิสเตอร์ ถ้าต้องการทราบผลรวมของเงินให้ทำการเซ็ตสัญญาณขา Enable แล้วผลลัพธ์จะออกทางเอาท์พุท Z จงตอบคำถามต่อไปนี้ (15 คะแนน)

3.1 จงออกแบบวงจรด้วยภาษา VHDL หรือ Verilog และเขียน ASM Chart (10 คะแนน)

3.2 จงเขียน Test Bench ทดสอบ ของวงจร (5 คะแนน)

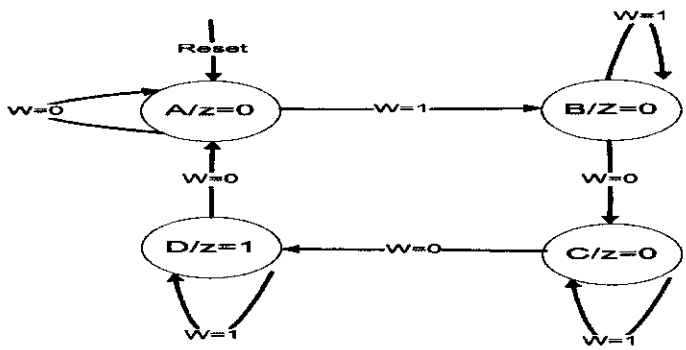


รูปที่ 1 วงจรเครื่องนับเงิน

4. จาก State diagram รูปที่ 2 จงตอบคำถามต่อไปนี้ (15 คะแนน)

4.1 จงเขียนภาษา VHDL หรือ Verilog (10 คะแนน)

4.2 จงเขียน ASM Chart (5 คะแนน)

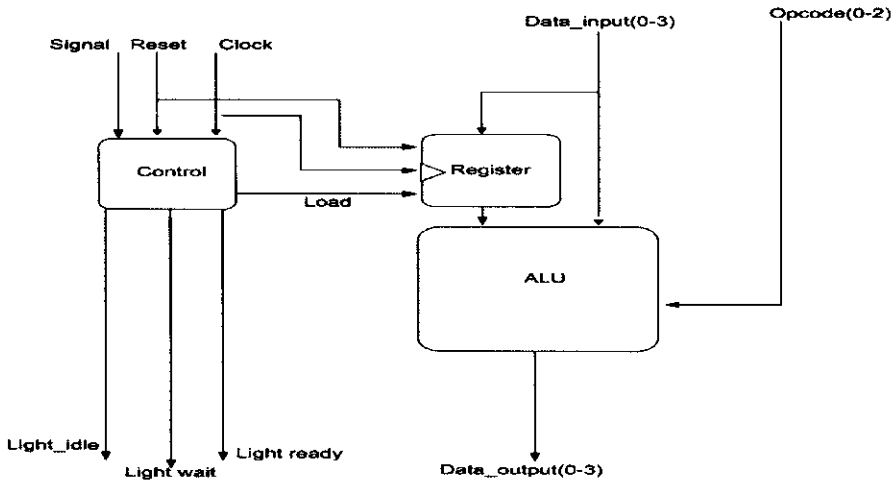


รูปที่ 2 State diagram

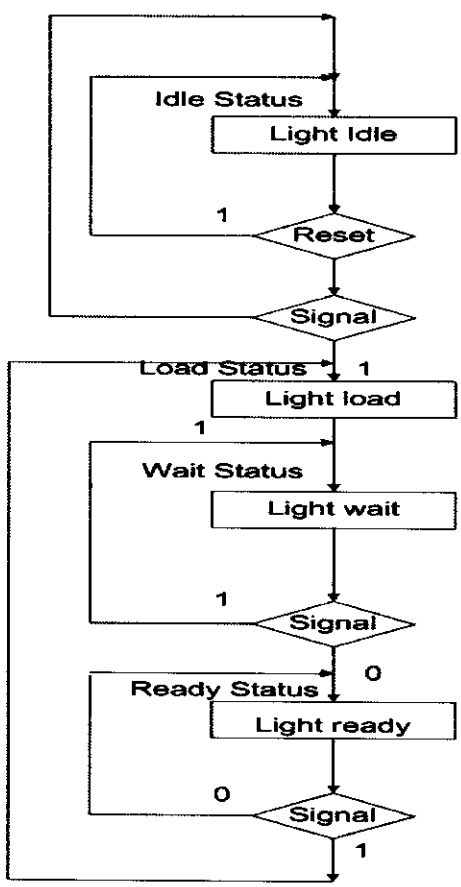
5. รูปที่ 3 แสดงวงจรควบคุม (Control) การคำนวณค่าใน ALU โดยวงจรนี้จะมีค่า 4 สถานะคือIdle, Load, Wait, Ready ตามASM Chart รูปที่ 4 เป็นลักษณะวงจรแบบ Synchronous โดยถ้ามีค่าของสัญญาณ Reset จะทำให้วงจรอยู่ในสถานะ Idle จากนั้นตรวจสอบกับสัญญาณ Signal ว่ามีสัญญาณเข้ามา (ลอจิก 1)หรือไม่ ถ้ามีเข้ามาวงจรก็จะไปสู่สถานะLoad เพื่อนำค่าจาก Data_input มาเก็บไว้ในรีจิสเตอร์ โดยกระทำในขอบขาขึ้นของสัญญาณนาฬิกา จะใช้เวลาเพียง1 คาบของสัญญาณนาฬิกา หลังจากกระทำแล้วจะไปสู่สถานะ Wait และจะตรวจสอบสัญญาณ Signal ซึ่งเป็นลอจิก 1 ว่าเปลี่ยนแปลงหรือไม่ ถ้าเปลี่ยนแปลง ก็จะไปสู่สถานะ Ready ซึ่งจะนำค่าในรีจิสเตอร์ที่เก็บค่าไว้ไปทำการบวก ลบ หรือคูณ กับ Data_in ที่เข้ามาใหม่ ตาม Opcode ที่กำกับไว้ โดยจะกระทำจนกว่า สัญญาณ Signal จะเป็นลอจิก 1 ซึ่งจะไปสู่ สถานะLoad สถานะต่างๆเช่น Idle, Wait, Ready จะมีLED แสดงผลส่วนสถานะ Load จะเป็นสัญญาณไปควบคุมรีจิสเตอร์ (15 คะแนน)

5.1 จงสร้างวงจร Control ด้วย ภาษา VHDL หรือ Verilog (10 คะแนน)

5.2 จงเขียน Test bench ทดสอบวงจร Control (5 คะแนน)



รูปที่ 3 วงจรควบคุมการคำนวณค่าใน ALU



รูปที่ 4 ASM Chart ของวงจรควบคุม (Control)