ชื่อ-สกุล_____ชื่อเล่น_____รหัส _____

มหาวิทยาลัยสงขลานครินทร์

คณะวิศวกรรมศาสตร์

สอบกลางภาค : ภาคการศึกษาที่ 1 **ปีการศึกษา** : 2550

วันที่สอบ : 31 กรกฎาคม 2550 **เวลาสอบ** : 09.00 – 12.00 น.

รหัสวิชา : 240-440 **ห้องสอบ** : 3111 /A203

ชื่อวิชา : VLSI System Design

คำสั่ง : อ่านรายละเอียดของข้อสอบ และคำแนะนำให้เข้าใจก่อนเริ่มทำข้อสอบ

อนุญาต : เครื่องเขียนต่าง ๆ เช่น ปากกา หรือ ดินสอ

: เครื่องคิดเลข, หนังสือ หรือ เอกสารใด ๆ เข้าห้องสอบ

เวลา : 3 ชั่วโมง (180 นาที)

คำแนะนำ

- ข้อสอบมีจำนวน 9 หน้า (ไม่รวมใบปะหน้า) คะแนนรวม 60 คะแนน
- เขียนคำตอบลงในข้อสอบเท่านั้น
- ใช้ดินสอทำข้อสอบได้ กรณีเขียนไม่ชัดหรืออ่านไม่ออก จะถือว่าคำตอบนั้นผิด
- อ่านคำสั่งในแต่ละข้อให้เข้าใจก่อนลงมือทำ
- **อย่าลืม เขียน ชื่อ-นามสกุล และรหัสนักศึกษา ลงในข้อสอบทุกแผ่น**

-- ทุจริตในการสอบมีโทษขั้นต่ำปรับตกในรายวิชานี้ และพักการเรียน 1 ภาคการศึกษา --

-- โทษสูงสุดคือ ไล่ออก –

1. จงตอบคำถามต่อไปนี้ (10 คะแนน)

1.1) SiO_2 มีวิธีการสร้างขึ้นบน Substrate และกำจัดออกด้วยวิธีใด

1.2) Self-Aligned Process คือ อะไร

1.3) Transmission gate คืออะไร สร้างขึ้นมาเพื่ออะไร

1.4) Skewed gate เกิดขึ้นเนื่องจากอะไร ส่งผลให้เกิดอะไรขึ้น

1.5) Crosstalk คืออะไร

2. จงอธิบายความแตกต่างระหว่างคำต่อไปนี้ (10 คะแนน)

2.1) N-type Semiconductor กับ P-type Semiconductor

2.2) Diffusion กับ Ion Implantation

2.3) วงจรแบบ non-restoring กับ แบบ restoring

2.4) Accumulation mode กับ Inversion mode

2.5) Propagation delay time กับ Contamination delay time

3. จากสมการ $Y = \overline{ABC} \cdot \overline{DE}$ จงตอบคำถามต่อไปนี้ (7 คะแนน)

3.1) จงออกแบบวงจรลอจิก โดยใช้ standard gate ได้แก่ Inverter, NAND และ NOR เท่านั้น รวมทั้งประมาณจำนวนของทรานซิสเตอร์ที่ต้องใช้ทั้งหมด (2 คะแนน)

3.2) จงออกแบบวงจรลอจิก โดยใช้ Complementary CMOS (2 คะแนน)

3.3) จงวาด Stick Diagram ของวงจรในข้อ 3.2 รวมทั้งประมาณพื้นที่จาก Stick Diagram (3 คะแนน)

4. กำหนดให้ ทรานซิสเตอร์ nMOS ใช้ 180 nm process, มีความหนาของชั้น SiO_2 200 Å, ค่า mobility เท่ากับ 300 $cm^2/V*s$, $V_t = 0.6$ V, W/L = 4/2 λ และ $V_{DD} = 3.3$ V. (6 คะแนน)

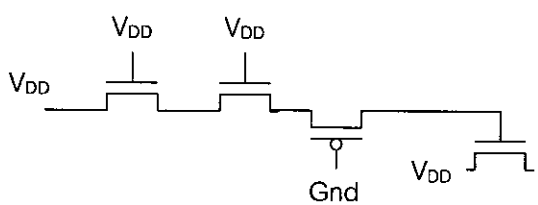
4.1) จงคำนวณค่า β (2 คะแนน)

4.2) จงคำนวณค่า I_{dsat} ที่ $V_{gs} = 1.0$ V. (1 คะแนน)

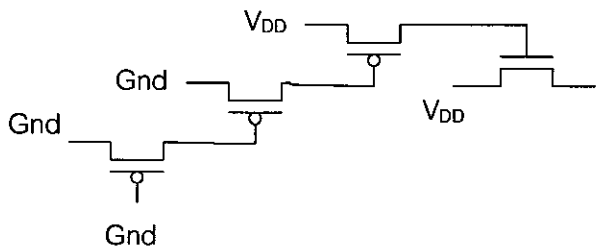
4.3) จงวาดกราฟ*โดยประมาณ* แสดงความสัมพันธ์ระหว่าง I_{ds} กับ V_{ds} เมื่อ $V_{gs} = 0.5$ V. และ $V_{gs} = 1.0$ V. พร้อมทั้งระบุช่วง Cutoff, Linear และ Saturation (3 คะแนน)

5. จากรูป จงประมาณค่าแรงดันในแต่ละจุดให้ครบถ้วน กำหนดให้ $V_{tn} = |V_{tp}| = V_t$ (4 คะแนน)

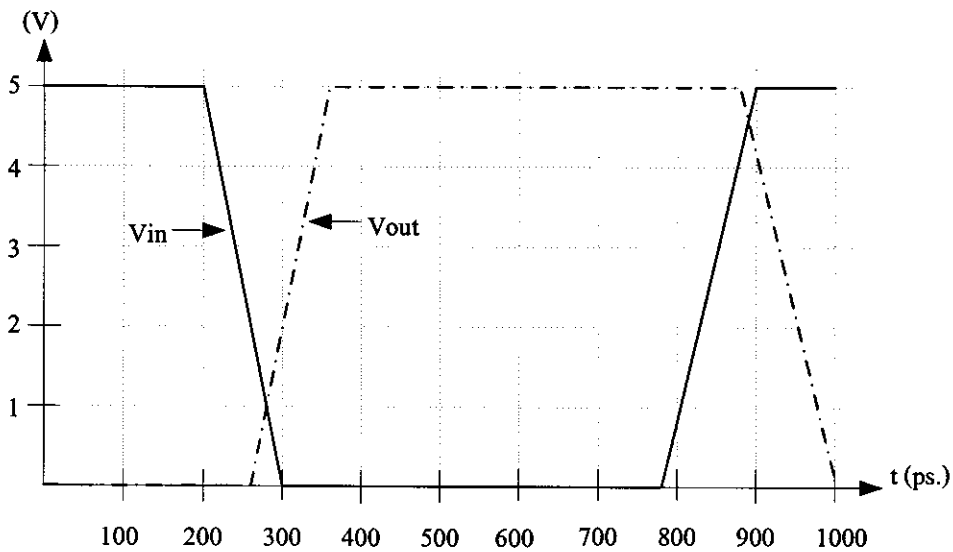
5.1) (2 คะแนน)



5.2) (2 คะแนน)



6. จากรูปสัญญาณ Vout และ Vin ที่เวลาต่าง ๆ จงหาค่า t_{pdr} , t_f และ t_p (3 คะแนน)



7. จงหาค่า delay ของวงจร 3-input NOR gate โดยกำหนดให้ ค่า effective rise resistance และ effective fall resistance มีค่าเท่ากับวงจร unit inverter และ fanout เท่ากับ 4 (8 คะแนน)

7.1) rising propagation delay

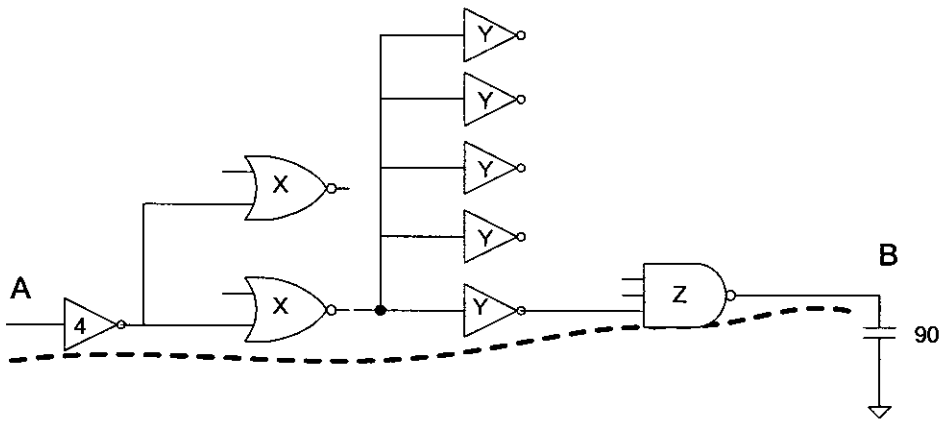
7.2) falling propagation delay

7.3) rising contamination delay

7.4) falling contamination delay

8. จากรูป จงประมาณค่า delay ที่น้อยที่สุดของ path จากจุด A ไปยังจุด B และค่า capacitance ที่ x, y และ z

(6 คะแนน)



9. Inverter 2 ตัว เชื่อมกันด้วย wire จงประมาณค่า propagation delay โดยใช้ Elmore delay ในที่นี้กำหนดให้

- กระบวนการผลิตแบบ 180 nm process
- Inverter driver มีขนาด 6 เท่าของ unit inverter, Inverter load มีขนาด 4 เท่าของ unit inverter
- Wire กว้าง 4λ ยาว 12 mm.
- sheet resistance เท่ากับ 0.1 $\Omega/\square$ และความจุไฟฟ้าในสาย 300 aF/μm.
- จำลอง wire โดยใช้ 3-segment π mode
- gate capacitance เท่ากับ 2 fF/μm. และ effective resistance ของ nMOS มีขนาด 1.8 k$\Omega\cdot\mu$m.
- ไม่ต้องคำนึงถึงค่า parasitic delay (6 คะแนน)