ชื่อ-สกุล ..... รหัสนักศึกษา ..... ....

# มหาวิทยาลัยสงขลานครินทร์

## คณะวิศวกรรมศาสตร์

ข้อสอบปลายภาค: ภาคเรียนที่ 2 ปีการศึกษา 2550

วันสอบ: 30 ธันวาคม 2550 เวลา: 13:30 – 16:30

วิชา: 240- 342 Logic Circuit Design ห้อง A203

---

**คำสั่ง**

- ข้อสอบมีทั้งหมด 6 ข้อ 60 คะแนน ให้นักศึกษาทำข้อสอบทุกข้อ
- ให้นักศึกษาเขียนคำตอบลงในข้อสอบ
- อนุญาตให้นำเอกสาร และเครื่องคิดเลขเข้าห้องสอบได้
- อย่าลืม เขียน ชื่อ-นามสกุล และรหัสนักศึกษา ลงในข้อสอบทุกแผ่น

**– ทุจริตในการสอบมีโทษขั้นต่ำปรับตกในรายวิชานี้ และพักการเรียน 1 ภาคการศึกษา –**

**– โทษสูงสุดคือ ไล่ออก –**

ชื่อ-สกุล ..... รหัสนักศึกษา ..... ....

1. ใช้ภาษา Verilog ออกแบบวงจรบวกขนาด 1 บิตโดยใช้วิธีการเขียนแบบ Structural กำหนดให้

- อินพุต A, B และ Cin
- เอาท์พุต Sum และ Cout

1.1 ส่วนของโปรแกรมอธิบายการทำงานวงจรบวกแบบ structural ตามที่กำหนด (5 คะแนน)

1.2 ส่วนของโปรแกรมอธิบายการทำงานของวงบวกแบบ structural โดยให้เป็นโมดูลที่มีข้อมูลเกี่ยวกับ delay ดังตารางด้านล่าง

| AND | OR | NAND | NOR | XOR |
|---|---|---|---|---|
| 50ns | 50ns | 40ns | 40ns | 100ns |

(5 คะแนน)

2. เขียนโมดูลภาษา verilog อธิบายการทำงานของ negative edge triggered D flip-flop ที่มีสัญญาณ set และ clear พร้อมทั้งเขียน Testbench เพื่อทดสอบวงจร

2.1 โมดูลการทำงานของ D Flip-flop กำหนดให้ใช้การเขียนแบบ RTL (5 คะแนน)

2.2 Testbench ทดสอบโมดูลในข้อ 2.1 (5 คะแนน)

3. สเตตแมชชีน (State machine) หนึ่งมีอินพุท 2 ขา คือ X และ Y และมีเอาท์พุท Z ถ้า detect ลำดับการทำงานของอินพุทเป็นดังนี้ X=0 Y=1, X=1 Y=1, X=1 Y=0 แล้ว Z จะมีค่าเป็น 1 ในไซเคิลสุดท้ายของสเตตแมชชีน นอกจากนั้นแล้วค่า Z จะมีค่าเป็น 0

3.1 จงเขียนโมดูลด้วยภาษา Verilog กำหนดให้ใช้การเขียนแบบ RTL (10 คะแนน)

3.2 จงเขียน Testbench เพื่อทดสอบ (5 คะแนน)

4. จงสร้างวงจรรีจิสเตอร์ไฟล์ด้วยภาษา Verilog กำหนดให้สามารถมีรีจิสเตอร์ใช้งานได้ทั้งหมด 8 ตัว แต่ละตัวมีขนาด 16 บิต สามารถเชื่อมต่อพอร์ตสำหรับใช้อ่าน 2 พอร์ต (Read port) และพอร์ตสำหรับการเขียน 1 พอร์ต (Write port) (10 คะแนน)

5. จงออกแบบวงจร Comparator โดยใช้ภาษา Verilog และเขียนโปรแกรมทดสอบวงจร พร้อมทั้งวาด รูปประกอบ วงจรประกอบด้วย 2 อินพุท แต่ละอินพุทมีขนาด 4 บิท และมี 3 เอาท์พุท ถ้าอินพุทแรกมีค่าน้อยกว่าอินพุทสอง เอาท์พุทค่าแรกจะแสดงค่าลอจิกหนึ่ง แต่ถ้าอินพุทแรกมีค่ามากกว่าอินพุทสอง เอาท์พุทค่าที่สองจะแสดงค่าหนึ่ง ถ้าอินพุททั้งสองค่ามีค่าเท่ากัน เอาท์พุทที่สามจะมีค่าเท่ากับหนึ่ง นอกเหนือจากนี้จะแสดงค่าศูนย์ (10 คะแนน)

6. จงอธิบายขั้นตอนการออกแบบวงจรดิจิตอลด้วยภาษา Verilog และโปรแกรมวงจรลงบน FPGA โดยอ้างอิงกับซอฟต์แวร์ช่วยออกแบบของ Xilinx (5 คะแนน)