# มหาวิทยาลัยสงขลานครินทร์
# คณะวิศวกรรมศาสตร์

สอบปลายภาค ภาคการศึกษาที่ ๒ ปีการศึกษา: ๒๕๕๐
วันที่: ๒๕ กุมภาพันธ์ ๒๕๕๑ เวลา: ๐๙๐๐-๑๒๐๐
๒๔๐-๓๔๑ Computer System Design ห้อง: R๓๐๐

- ข้อสอบมีทั้งหมด 3 แผ่นรวมปก มี 8 ข้อ ทุกข้อมีคะแนนเท่ากัน ให้ทำทุกข้อ
- อนุญาตให้นำหนังสือหรือเอกสารเข้าห้องสอบได้

ทุจริตในการสอบ โทษขั้นต่ำ ปรับตกในรายวิชาที่ทุจริตและพักการเรียน ๑ ภาคการศึกษา

1. จงเขียน concrete RTN ของคำสั่งต่อไปนี้ ของ SRC เมื่อใช้สถาปัตยกรรมแบบ 1-bus
   1.1 ldr
   1.2 lar

2. จากชุดคำสั่งของ SRC ที่มีอยู่ ให้ขยายชุดคำสั่งโดยการเพิ่มคำสั่ง SWAP RA, RB โดยใช้ opcode = 7 คำสั่งนี้จะแลกเปลี่ยนข้อมูลระหว่าง รีจิสเตอร์ที่กำหนด ให้เขียน
   2.1 Abstract RTN ของคำสั่งนี้
   2.2 Concrete RTN ของคำสั่งนี้ เมื่อใช้สถาปัตยกรรมแบบ 1-bus

3. จากชุดคำสั่งของ SRC ที่มีอยู่ ให้ขยายชุดคำสั่งโดยการเพิ่มคำสั่ง XOR RA, RB, RC โดยใช้ opcode = 19 แต่เนื่องจาก ALU ของ SRC ไม่สามารถทำ XOR operation ได้ (กระบวนการที่ ALU ทำได้คือ ADD, SUB, AND, OR, SHR, SHL, NEG, NOT, C=B, INC4) ให้พัฒนาวิธีการซึ่งทำให้ SRC สามารถทำคำสั่ง XOR ได้ ให้เขียน
   3.1 Abstract RTN ของคำสั่งนี้
   3.2 Concrete RTN และ Control Signals สำหรับคำสั่งนี้ เมื่อใช้สถาปัตยกรรมแบบ 1-bus

   HINT: a XOR b = (a OR b) AND NOT (a AND b)

4. ให้เขียน Concrete RTN และ Control Sequences ของคำสั่ง BRL ของ SRC เมื่อสถาปัตยกรรมแบบ
   4.1 1-bus
   4.2 2-bus
   4.3 3-bus

5. กำหนดให้ค่า Timing Parameters ของ gate และ flip-flop เป็นดังต่อไปนี้

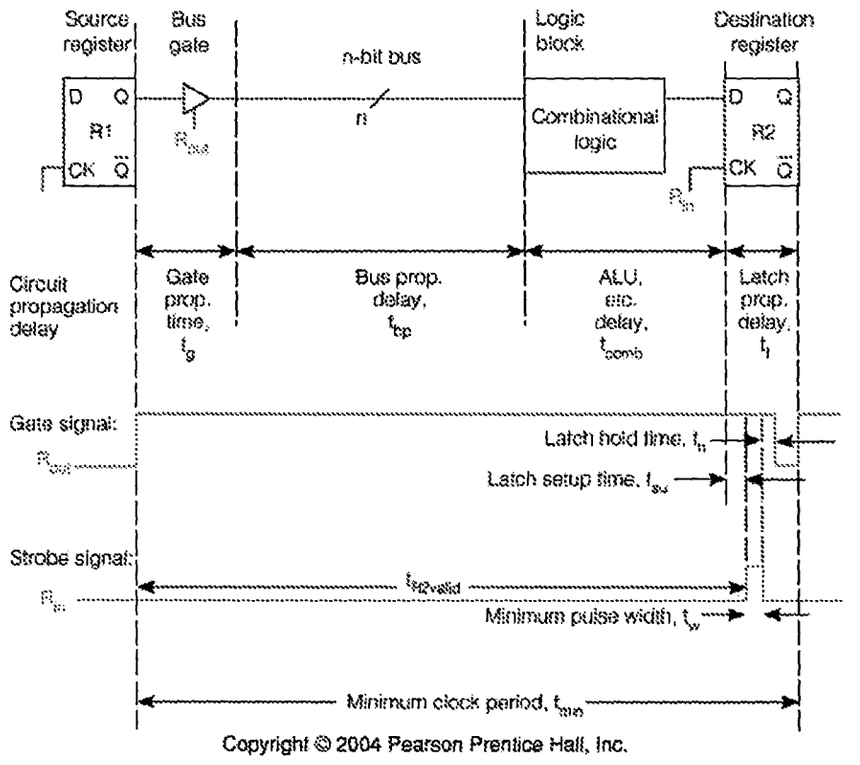
| | |
|---|---|
| Gate Propagation Time | 5 ns |
| Bus Propagation Time | 5 ns |
| Logic Delay | 14 ns |
| Flip-Flop Propagation Time | 6 ns |
| Flip-Flop Setup Time | 2 ns |
| Flip-Flop Hold Time | 3 ns |
| Flip-Flop Strobe Time | 4 ns |

   ให้คำนวณหาค่าความถี่ clock สูงสุดที่สามารถใช้งานได้ กำหนดให้ safety margin เป็น 20% เมื่อ Data Path เป็นไปตามรูปที่ 1

6. ในการปรับปรุงสถาปัตยกรรมของ SRC โดยเปลี่ยนจาก 1-bus มาเป็นแบบ 2-bus ทำให้ค่าเฉลี่ยของจำนวน clock ที่ต้องใช้ในการ execute คำสั่งลดลงจาก 8 cycle เป็น 7 cycle จงคำนวณหา
   6.1 Minimum Clock Period สำหรับ 1-bus และ 2-bus โดยใช้ข้อมูล Timing Parameters จากข้อ 5
   6.2 ความเร็วที่เพิ่มขึ้นในการปรับปรุงจาก 1-bus เป็น 2-bus โดยใช้ Clock Period ที่ได้จาก 6.1

7. จงอธิบายการทำงานในแต่ละ stage ของ pipeline ของ SRC เมื่อใช้สถาปัตยกรรมแบบ 5-stage pipeline

8. จงเปรียบเทียบ size, latency, bandwidth, cost/MB ของอุปกรณ์ต่อไปนี้
cache, main memory, disk, tape



Copyright © 2004 Pearson Prentice Hall, Inc.

รูปที่ 1