มหาวิทยาลัยสงขลานครินทร์
คณะวิศวกรรมศาสตร์

สอบกลางภาค: ภาคการศึกษาที่ 2 **ปีการศึกษา**: 2551

วันที่สอบ: 20 ธันวาคม 2551 **เวลาสอบ**: 13.30 – 16.30 น.

ห้องสอบ: R201 **ผู้สอน**: อ.ทวีศักดิ์

รหัสวิชาและชื่อวิชา: 241-535 Testing and Testable Design of Digital Systems

---

ทุจริตในการสอบ มีโทษขั้นต่ำ คือ ปรับตกในรายวิชาที่ทุจริต และพักการเรียน 1 ภาคการศึกษา

คำสั่ง: อ่านรายละเอียดของข้อสอบ และคำแนะนำให้เข้าใจก่อนเริ่มทำข้อสอบ

อนุญาต: หนังสือ และ เครื่องคิดเลขนำเข้าห้องสอบได้

ไม่อนุญาต: เครื่องคอมพิวเตอร์โน๊ตบุค

เวลา: 3 ชั่วโมง (180 นาที)

คำแนะนำ

- ข้อสอบมี 8 หน้า (รวมใบปะหน้า) รวมทั้งหมด 7 ข้อ 35 คะแนน คิดเป็นคะแนนเก็บ 35 %
- **คำตอบส่วนใดอ่านไม่ออก จะถือว่าคำตอบนั้นผิด**
- อ่านคำสั่งในแต่ละข้อให้เข้าใจก่อนลงมือทำ
- หากข้อใดเขียนตอบไม่พอ ให้เขียนเพิ่มที่ด้านหลังกระดาษของคำถามข้อเดียวกันเท่านั้น

ชื่อ_____**รหัสนักศึกษา**_____

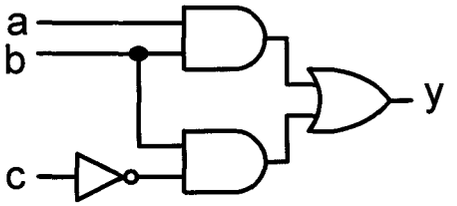
รหัสนักศึกษา_____

1) จากวงจรรูปที่ 1 จงตอบคำถามต่อไปนี้ (4 คะแนน)

1.1) จงคำนวณหาจำนวนข้อผิดพลาดเดี่ยว (Number of Single Fault)

1.2) จงคำนวณหาจำนวนข้อผิดพลาดที่ไม่เทียบเท่ากัน (Number of Collapsed Fault)

1.3) จงเขียนตารางความจริง (Truth Table) เปรียบเทียบระหว่างวงจรที่ไม่มีข้อผิดพลาด กับวงจรที่มีข้อผิดพลาด กำหนดให้ใช้โมเดล Stuck-at Fault สำหรับวงจรที่มีข้อผิดพลาด พร้อมระบุทุกข้อผิดพลาดที่ถูกตรวจจับได้ ในแต่ละค่าอินพุตโดยการแรเงา



รูปที่ 1

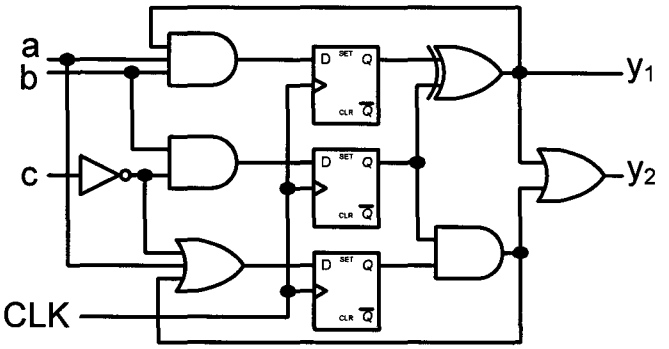
2) จากวงจรรูปที่ 2 จงตอบคำถามต่อไปนี้ (5 คะแนน)

2.1) จงระบุปัญหาที่เกิดขึ้น เพื่อทดสอบวงจรดังกล่าว หากไม่มีการใช้การออกแบบตัวกวาดตรวจ (Scan Design)

2.2) จงแก้ไขวงจร โดยแทนที่ D Flip-flop ทุกตัว ด้วยเซลล์กวาดตรวจ (Scan Cell) แบบ Muxed-D

2.3) จงระบุว่าวงจรในข้อ 2.2) แก้ปัญหาในข้อ 2.1) ได้อย่างไร

2.4) กำหนดให้การป้อนค่าข้อมูลการทดสอบเท่ากับ 011 ให้ Muxed-D Scan Cells ในข้อ 2.2) และข้อมูลตอบสนองการทดสอบ (Test Response) เท่ากับ 101 จงเขียนลำดับการทำงานของการทดสอบ (Test Operation) ให้สัมพันธ์กับสัญญาณนาฬิกา (CLK)



รูปที่ 2

รหัสนักศึกษา_____

3) จากสถาปัตยกรรมการกวาดตรวจ (Scan Architecture) มี 3 ชนิดที่ได้รับความนิยม คือ Full-scan Design, Partial-scan Design และ Random-access Scan Design จงตอบคำถามต่อไปนี้ (4 คะแนน)

3.1) จงเขียนตารางเปรียบเทียบข้อดีและข้อเสีย ของสถาปัตยกรรมกวาดตรวจทั้ง 3 ชนิด

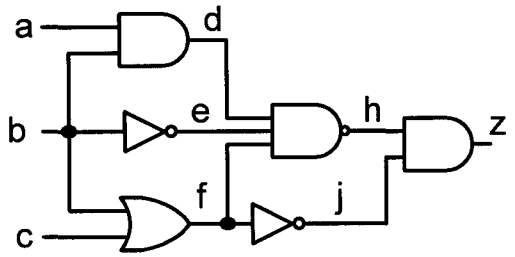
3.2) Partial-scan Design ถือเป็นส่วนย่อยของ Full-scan Design ถึงแม้ประสิทธิภาพอาจจะไม่ดีเท่า Full-scan Design แต่ก็ได้รับความนิยมในการทดสอบบางกรณี จงระบุกรณีการทดสอบที่เหมาะสม สำหรับการใช้ Partial-scan Design พร้อมอธิบายเหตุผล

4) จากวงจรรูปที่ 4 จงเขียนไดอะแกรมเวลา (Timing Diagram) ให้สัมพันธ์กับโมเดลเวลา (Timing Model) ที่กำหนดให้ในแต่ละข้อย่อยต่อไปนี้ (6 คะแนน)

4.1) Nominal Delay – เกตแบบ 2 อินพุต 1 ns; เกตแบบ 3 อินพุต 1.2 ns; อินเวอร์ตเตอร์ 0.6 ns
Inertial Delay – เกตทุกชนิด 0.3 ns

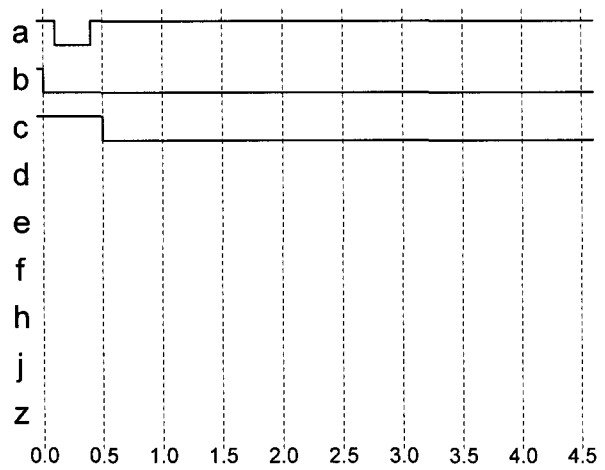
4.2) Rise Delay – เกตแบบ 2 อินพุต 0.8 ns; เกตแบบ 3 อินพุต 1 ns; อินเวอร์ตเตอร์ 0.6 ns
Fall Delay – เกตแบบ 2 อินพุต 1 ns; เกตแบบ 3 อินพุต 1.2 ns; อินเวอร์ตเตอร์ 0.8 ns

4.3) Minimum Delay – เกตแบบ 2 อินพุต 0.8 ns; เกตแบบ 3 อินพุต 1 ns; อินเวอร์ตเตอร์ 0.6 ns
Maximum Delay – เกตแบบ 2 อินพุต 1 ns; เกตแบบ 3 อินพุต 1.2 ns; อินเวอร์ตเตอร์ 0.8 ns

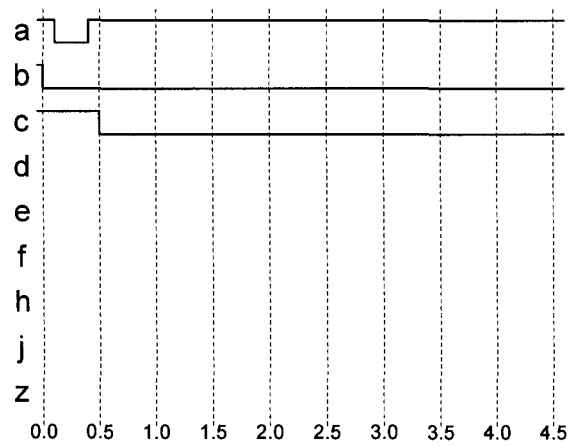


รูปที่ 4

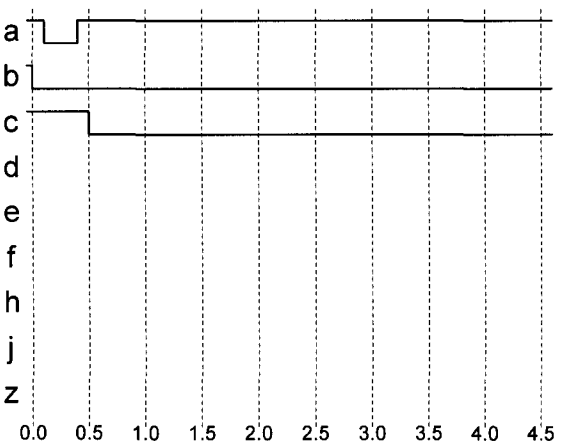
4.1)



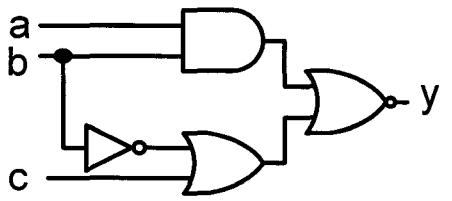
4.2)



4.3)

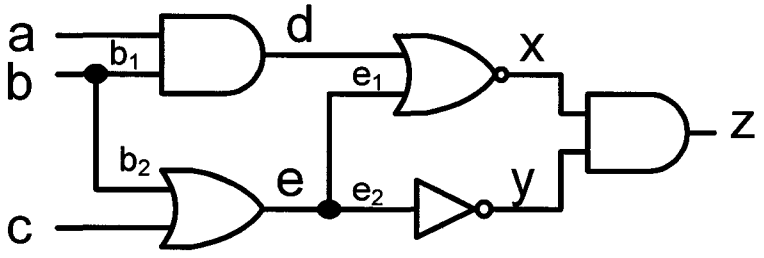


5) จากวงจรรูปที่ 5 จงเขียนรายการผิดพลาด (Fault List) ที่เอาต์พุต y โดยการจำลองข้อผิดพลาดแบบลดลง (Deductive Fault Simulation) กำหนดให้รูปแบบข้อมูลทดสอบ (Test Pattern) คือ 001, 100, และ 010 ตามลำดับ (6 คะแนน)



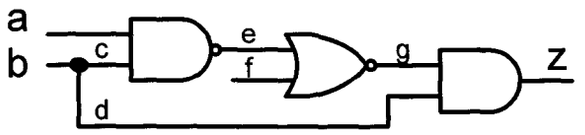
รูปที่ 5

6) จากวงจรรูปที่ 6 จงใช้ D-algorithm ในการคำนวณเวกเตอร์ (Vector) สำหรับข้อผิดพลาดดังต่อไปนี้ b/1, d/1, และ e/0 (5 คะแนน)



รูปที่ 6

7) จากวงจรรูปที่ 7 จงใช้อัลกอริธึม PODEM ในการกำเนิดเวกเตอร์ สำหรับข้อผิดพลาดเหล่านี้ c/0, c/1, และ d/0 (5 คะแนน)



รูปที่ 7