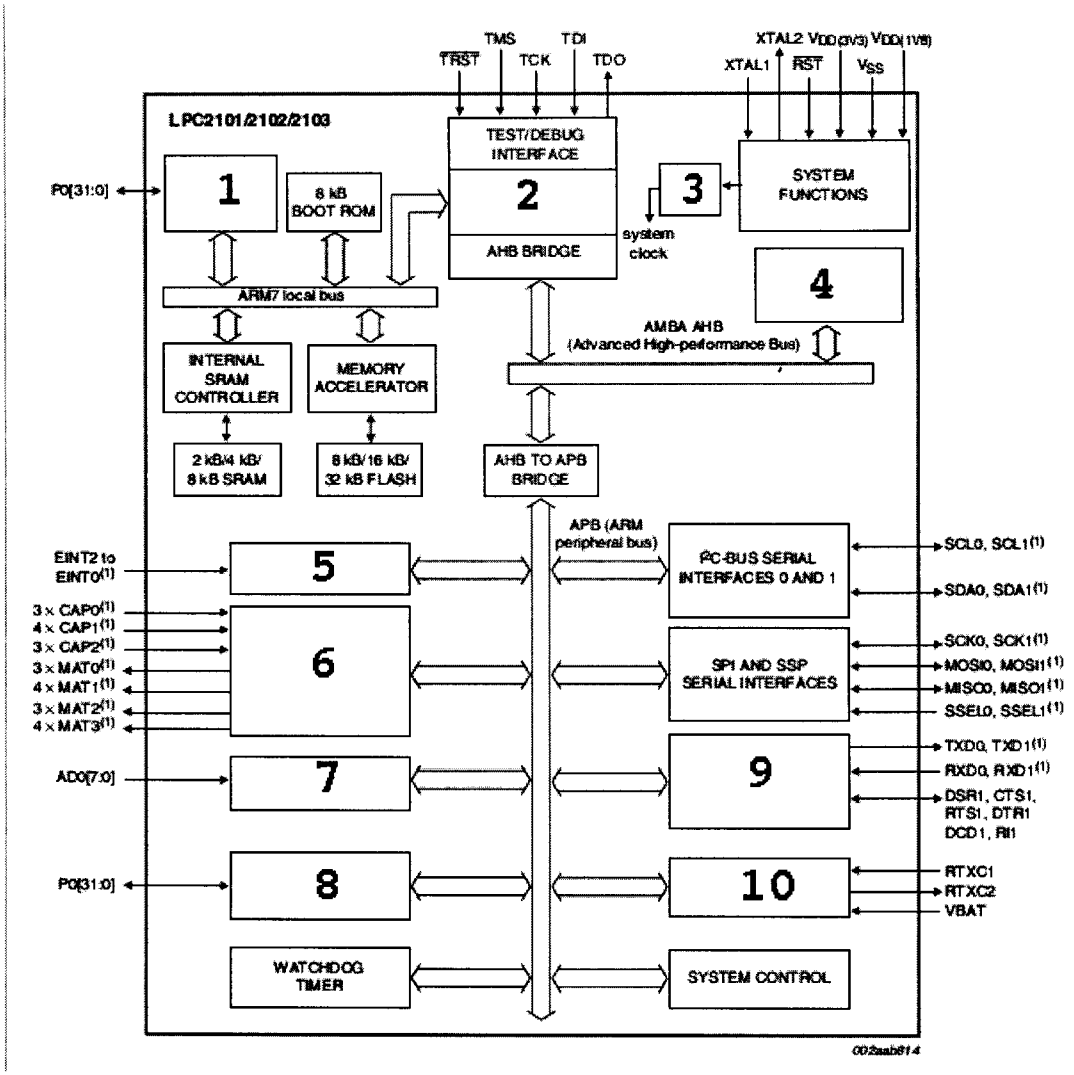
มหาวิทยาลัยสงขลานครินทร์
คณะวิศวกรรมศาสตร์

สอบปลายภาค ภาคการศึกษาที่ ๒ ปีการศึกษา ๒๕๕๑
วันที่ ๑๘ กุมภาพันธ์ ๒๕๕๑ เวลา ๑๓๓๐-๑๖๓๐
วิชา ๒๔๑-๒๑๐ Microprocessor Architecture and The Assembly Language ห้อง R๓๐๐

- ข้อสอบมีทั้งหมด ๑๓ แผ่นรวมปกและกระดาษคำตอบ
- กระดาษคำตอบอยู่หน้าสุดท้าย อนุญาตให้ดึงกระดาษคำตอบออกจากตัวข้อสอบได้
- ข้อสอบมี ๘๐ ข้อ มีทั้งแบบตัวเลือก ๕ ตัวเลือกและเติมคำ ให้ทำทุกข้อ
- ไม่อนุญาตให้นำหนังสือ เอกสาร เครื่องคำนวณ เข้าห้องสอบ

ทุจริตในการสอบ โทษขั้นต่ำ ปรับตกในรายวิชาที่ทุจริตและพักการเรียน ๑ ภาคการศึกษา



รูปที่ 1 LPC2103 Block Diagram

จากรูปที่ 1 ซึ่งแสดง block diagram ของ LPC2103 และรายชื่อ module ต่อไปนี้

a. GPIO
b. ARM CPU
c. Fast GPIO
d. Static RAM
e. Flash Memory
f. I2C Interface
g. Timer/Counter
h. Watchdog Timer
i. Phase Lock Loop
j. Real Time Clock
k. External Interrupts
l. Analog Digital Convertor
m. Serial Peripheral Interface
n. Vectored Interrupt Controller
o. Universal Asynchronous Receiver Transmitter

ให้ตอบคำถามข้อที่ 1-10 โดยการจับคู่ระหว่าง หมายเลขของ module ซึ่งอยู่ใน block diagram กับรายการ module ข้างต้น

ต้องการพัฒนาระบบ embedded system สำหรับการควบคุม การเปิด/ปิดไฟแสงสว่างในห้องสำนักงานโดยอัตโนมัติ โดยใช้ Infrared sensor สำหรับตรวจสอบว่ามีคนอยู่ในห้องหรือเปล่า ใช้การควบคุม Relay Switch สำหรับการเปิดปิดไฟ

ถ้าไฟปิด ถ้ามีวัตถุขวางทางลำแสง ก็จะเปิดไฟทันที
ถ้าไฟเปิด ถ้ามีวัตถุขวางทางลำแสง ก็จะคงสถานะของการเปิดไฟเอาไว้
ถ้าไม่มีวัตถุมาขวางทางลำแสง ก็จะหน่วงเวลาจนถึงเวลาที่กำหนด
แล้วก็จะปิดไฟ

จากความต้องการระบบข้างต้น ถ้าเลือกใช้บอร์ดทดลอง ETT LPC2103 สำหรับควบคุม
ให้ใช้คำตอบต่อไปนี้สำหรับตอบคำถามข้อ 11-15

a) Timer Counter
b) Real Time Clock
c) External Interrupts
d) Analog Digital Convertor
e) General Purpose Input/Output
f) Vectored Interrupts Controller
g) Universal Asynchronous Receiver Transmitter

11. จะต้องใช้ module ใดในการตรวจสอบการขวางทางลำแสง infrared
12. จะต้องใช้ module ใดในการควบคุม relay switch สำหรับเปิดปิดไฟ
13. <u>ควรจะ</u>ใช้ module ใดในการหน่วงเวลา
    หาก<u>ไม่</u>ต้องการใช้วิธีการ polling ในการตรวจสอบว่ามีคนอยู่ในห้องหรือไม่ จะต้องใช้ความสามารถร่วมกันของ 2 module ต่อไปนี้
14. module ที่ 1 คือ
15. module ที่ 2 คือ

GPIO

16. LPC2103 มีพอร์ทให้ใช้งานในลักษณะ GPIO ได้พร้อมกันมากที่สุดเท่ากับ
    a) 8 บิท b) 16 บิท c) 24 บิท d) 32 บิท e) 64 บิท
17. การอ่านข้อมูลเข้ามาทางพอร์ท GPIO จะต้องอ่านเข้ามาจาก register ใด
    a) IOPIN b) IODIR c) IOSET d) IOCLR e) ไม่มีข้อถูก
18. การอ่านข้อมูลเข้ามาทางพอร์ท FGPIO จะต้องอ่านเข้ามาจาก register ใด
    a) IOPIN b) IODIR c) IOSET d) IOCLR e) ไม่มีข้อถูก
19. ข้อแตกต่างของพอร์ท GPIO กับ FGPIO คือ
    a) ความเร็ว b) ระยะทาง c) ระดับแรงดัน d) ประเภทของการใช้ e) ไม่มีความแตกต่าง
20. ถ้าต้องการใช้งาน FGPIO จะต้องกำหนดผ่าน register ใดก่อน
    a) SCS b) CSC c) IODIR d) FIODIR e) ไม่มีข้อถูก

PLL

21. บอร์ดทดลอง ETT LPC2103 ใช้ Oscillator ที่มีความถี่ใดสำหรับสร้างความถี่ Clock ให้กับ CPU
    a) 12 MHz b) 19.66 MHz c) 20 MHz d) 60 MHz e) 70 MHz
22. ตัว LPC2103 สามารถทำงานได้ถูกต้องที่ความถี่สูงสุดเท่าไร
    a) 1 MHz b) 20 MHz c) 40MHz d) 60 MHz e) 70 MHz
23. ตัว LPC2103 สามารถทำงานได้ถูกต้องที่ความถี่ต่ำสุดเท่าไร
    a) 1 MHz b) 20 MHz c) 40MHz d) 60 MHz e) 70 MHz

24. วงจร PLL ใน LPC2103 มีหน้าที่ใด
    a) เพิ่มความถี่ของ CPU Clock
    b) ลดความถี่ของ CPU Clock
    c) ควบคุมความถี่ของ Oscillator ให้คงที่
    d) สร้างความถี่ที่เหมาะสมสำหรับอุปกรณ์ Peripheral อื่นๆ
    e) ใช้เป็นตัวสร้างสัญญาณ Clock ให้กับ Timer/Counter และ RTC
25. หลังจาก Power-ON Reset ตัว ARM CPU Core จะทำงานที่ความเร็ว clock เท่าใด
    a) เท่ากับความถี่ของ Oscillator ที่ต่อให้กับตัว LPC2103
    b) เท่ากับความถี่ของ CPU Clock ที่ส่งออกมาจาก PLL
    c) เท่ากับความถี่ default ที่กำหนดมาจากโรงงาน
    d) เท่ากับความถี่สูงสุดที่ CPU สามารถทำงานได้ถูกต้อง
    e) เท่ากับความถี่ต่ำสุดที่ CPU สามารถทำงานได้ถูกต้อง
26. ในกรณีที่ใช้ KEIL เป็น Development Environment ค่า default ของตัวคูณความถี่ (MSEL) ใน Startup.s เป็นเท่าใด
    a) 1 b) 2 c) 3 d) 4 e) 5
27. สำหรับ ETT LPC2103 ค่าของตัวคูณความถี่สูงสุดที่สามารถใช้งานได้อย่างถูกต้องคือค่าใด
    a) 1 b) 2 c) 3 d) 4 e) 5
28. ค่าของตัวหารความถี่ (PSEL) ของ PLL ใช้ในการกำหนดความถี่ของค่าใด
    a) ACLK b) CCLK c) PCLK d) Fosc e) Fcco
29. ถ้าความถี่ของ Oscillator ที่ต่อให้กับ LPC2103 เท่ากับ 12 MHz จะต้องกำหนดค่าของ register PLLCFG เป็นเท่าไร จึงจะได้ค่าความถี่ของ CCLK เท่ากับ 60 MHz
30. ถ้าความถี่ของ Oscillator ที่ต่อให้กับ LPC2103 เท่ากับ 20 MHz จะต้องกำหนดค่าของ register PLLCFG เป็นเท่าไร จึงจะได้ค่าความถี่ของ CCLK เท่ากับ 60 MHz

Table 16: PLL Control register (PLLCON - address 0xE01F C080) bit description

Bit	Symbol	Description	Reset value
0	PLLE	PLL Enable. When one, and after a valid PLL feed, this bit will activate the PLL and allow it to lock to the requested frequency. See PLLSTAT register, Table 18.	0
1	PLLC	PLL Connect. When PLLC and PLLE are both set to one, and after a valid PLL feed, connects the PLL as the clock source for the microcontroller. Otherwise, the oscillator clock is used directly by the microcontroller. See PLLSTAT register, Table 18.	0
7:2	-	Reserved, user software should not write ones to reserved bits. The value read from a reserved bit is not defined.	NA

Table 17: PLL Configuration register (PLLCFG - address 0xE01F C084) bit description

Bit	Symbol	Description	Reset value
4:0	MSEL	PLL Multiplier value. Supplies the value "M" in the PLL frequency calculations. Note: For details on selecting the right value for MSEL see Section 3.8.9 "PLL frequency calculation" on page 29.	0
6:5	PSEL	PLL Divider value. Supplies the value "P" in the PLL frequency calculations. Note: For details on selecting the right value for PSEL see Section 3.8.9 "PLL frequency calculation" on page 29.	0
7	-	Reserved, user software should not write ones to reserved bits. The value read from a reserved bit is not defined.	NA

3.8.9 PLL frequency calculation

The PLL equations use the following parameters:

Table 21: Elements determining PLL's frequency

Element	Description
Fosc	the frequency from the crystal oscillator/external oscillator
Fcco	the frequency of the PLL current controlled oscillator
CCLK	the PLL output frequency (also the processor clock frequency)
M	PLL Multiplier value from the MSEL bits in the PLLCFG register
P	PLL Divider value from the PSEL bits in the PLLCFG register

The PLL output frequency (when the PLL is both active and connected) is given by:

$CCLK = M \times Fosc$ or $CCLK = Fcco / (2 \times P)$

The CCO frequency can be computed as:

$Fcco = CCLK \times 2 \times P$ or $Fcco = Fosc \times M \times 2 \times P$

Table 22: PLL Divider values

PSEL Bits (PLLCFG bits [6:5])	Value of P
00	1
01	2
10	4
11	8

Table 23: PLL Multiplier values

MSEL Bits (PLLCFG bits [4:0])	Value of M
00000	1
00001	2
00010	3
00011	4
...	...
11110	31
11111	32

The PLL inputs and settings must meet the following:

- Fosc is in the range of 10 MHz to 25 MHz.
- CCLK is in the range of 10 MHz to Fmax (the maximum allowed frequency for the microcontroller - determined by the system microcontroller is embedded in).
- Fcco is in the range of 156 MHz to 320 MHz.

Timer/Counter

31. LPC2103 มีจำนวน Timer/Counter ทั้งหมดกี่ตัว
    a) 1 b) 2 c) 3 d) 4 e) 5
32. Timer0/Timer1 เป็น Timer/Counter ขนาดกี่บิท
    a) 8 bit b) 16 bit c) 32 bit d) 64 bit) e) 124 bit
33. Timer2/Timer3 เป็น Timer/Counter ขนาดกี่บิท
    a) 8 bit b) 16 bit c) 32 bit d) 64 bit) e) 124 bit

ให้ใช้คำตอบต่อไปนี้สำหรับตอบคำถามข้อ 34-37

a) Timer mode b) Counter mode c) Internal mode d) External Mode e) ไม่มีข้อถูก

34. ใน mode การทำงานใดที่ตัว Timer/Counter นับสัญญาณ Clock จากภายนอก
35. ใน mode การทำงานใดที่ตัว Timer/Counter นับสัญญาณ Clock จากภายใน
36. ถ้าต้องการใช้ Timer/Counter ในลักษณะของนาฬิกาจับเวลา ควรให้ Timer/Counter ทำงานใน mode ใด
37. ถ้าต้องการใช้ Timer/Counter ในลักษณะของนาฬิกาปลุก ควรให้ Timer/Counter ทำงานใน mode ใด
38. ใน mode ซึ่งนับสัญญาณ Clock จากภายใน Timer/Counter ใช้สัญญาณ Clock ใดในการนับ
    a) ACLK b) CCLK c) PCLK d) Timer Clock e) ไม่มีข้อถูก

กำหนดให้ใช้ Timer0 นับสัญญาณ clock ที่ความถี่ 15 MHz

39. ถ้าไม่มีการใช้ Prescaler ตัว counter จะ overflow ในเวลาโดยประมาณเท่ากับเท่าไร
    a) 5 วินาที b) 5 นาที c) 5 ชั่วโมง d) 5 วัน e) 5 เดือน

ต้องการใช้ Timer0 สำหรับการควบคุมการกระพริบของ LED แบบอัตโนมัติ โดยให้ LED กระพริบที่ความถี่ 1 Hz โดยกำหนดให้ input clock ของ Timer0 เท่ากับ 15MHz ต่อ LED กับ P0.3 (MAT0.0) ให้เติมค่าที่ถูกต้อง ในส่วนของ subroutine timer0init() ต่อไปนี้ เพื่อให้ทำงานได้ตามความต้องการข้างต้น (สำหรับข้อ 40-45)

```
void    timer0init(void) {
        T0CTCR = 0;
        // Prescaler is not needed
        T0PR =     _____(40)_______;
        // using P0.3 as MAT0.0 PINSEL0[7:6]=10
        PINSEL0 &= _____(41)_______;
        PINSEL0 |= _____(42)_______;
        // reset TC on match with MR0
        T0MCR =    _____(43)_______;
        // enable external match pin, and toggle bit on match
        T0EMR =    _____(44)_______;
        // Half second at clock 15 MHz
        T0MR0 =    _____(45)_______;

        T0TCR = 2;
        T0TCR = 1;
}
```

40. T0PR =
41. PINSEL0 &=
42. PINSEL0 |=
43. T0MCR =
44. T0EMT =
45. T0MR0 =

Table 165: TIMER/COUNTER0 and TIMER/COUNTER1 register map

Generic Name	Description	Access	Reset value[1]	TIMER/ COUNTER0 Address & Name	TIMER/ COUNTER1 Address & Name
IR	Interrupt Register. The IR can be written to clear interrupts. The IR can be read to identify which of eight possible interrupt sources are pending.	R/W	0	0xE000 4000 T0IR	0xE000 8000 T1IR
TCR	Timer Control Register. The TCR is used to control the Timer Counter functions. The Timer Counter can be disabled or reset through the TCR.	R/W	0	0xE000 4004 T0TCR	0xE000 8004 T1TCR
TC	Timer Counter. The 32-bit TC is incremented every PR+1 cycles of PCLK. The TC is controlled through the TCR.	R/W	0	0xE000 4008 T0TC	0xE000 8008 T1TC
PR	Prescale Register. The Prescale Counter (below) is equal to this value. The next clock increments the TC and clears the PC.	R/W	0	0xE000 400C T0PR	0xE000 800C T1PR
PC	Prescale Counter. The 32-bit PC is a counter which is incremented to the value stored in PR. When the value in PR is reached, the TC is incremented and the PC is cleared. The PC is observable and controllable through the bus interface.	R/W	0	0xE000 4010 T0PC	0xE000 8010 T1PC
MCR	Match Control Register. The MCR is used to control if an interrupt is generated and if the TC is reset when a Match occurs.	R/W	0	0xE000 4014 T0MCR	0xE000 8014 T1MCR

		R/W	0	0xE000 4018	0xE000 8018
MR0	Match Register 0. MR0 can be enabled through the MCR to reset the TC, stop both the TC and PC, and/or generate an interrupt every time MR0 matches the TC.			T0MR0	T1MR0
CCR	Capture Control Register. The CCR controls which edges of the capture inputs are used to load the Capture Registers and whether or not an interrupt is generated when a capture takes place.	R/W	0	0xE000 4028 T0CCR	0xE000 8028 T1CCR
CR0	Capture Register 0. CR0 is loaded with the value of TC when there is an event on the CAPn.0(CAP0.0 or CAP1.0 respectively) input.	RO	0	0xE000 402C T0CR0	0xE000 802C T1CR0
				Not usable	
EMR	External Match Register. The EMR controls the external match pins MAT0.2.0 and MAT1.3.0. Note: MAT0.3 is not connected to a pin on LPC2101/02/03.	R/W	0	0xE000 403C T0EMR	0xE000 803C T1EMR
CTCR	Count Control Register. The CTCR selects between Timer and Counter mode, and in Counter mode selects the signal and edge(s) for counting.	R/W	0	0xE000 4070 T0CTCR	0xE000 8070 T1CTCR
PWMCON	PWM Control Register. The PWMCON enables PWM mode for the external match pins MAT0.3.0 and MAT1.3.0.	R/W	0	0xE000 4074 PWM0CON	0xE000 8074 PWM1CON

Table 167: Timer Control Register (TCR, TIMER0: T0TCR - address 0xE000 4004 and TIMER1: T1TCR - address 0xE000 8004) bit description

Bit	Symbol	Description	Reset value
0	Counter Enable	When one, the Timer Counter and Prescale Counter are enabled for counting. When zero, the counters are disabled.	0
1	Counter Reset	When one, the Timer Counter and the Prescale Counter are synchronously reset on the next positive edge of PCLK. The counters remain reset until TCR[1] is returned to zero.	0

Table 168: Count Control Register (CTCR, TIMER0: T0CTCR - address 0xE000 4070 and TIMER1: T1TCR - address 0xE000 8070) bit description

Bit	Symbol	Value	Description	Reset value
1:0	Counter/ Timer Mode		This field selects which rising PCLK edges can increment Timer's Prescale Counter (PC), or clear PC and increment Timer Counter (TC).	00
		00	Timer Mode: every rising PCLK edge	
		01	Counter Mode: TC is incremented on rising edges on the CAP input selected by bits 3:2.	
		10	Counter Mode: TC is incremented on falling edges on the CAP input selected by bits 3:2.	
		11	Counter Mode: TC is incremented on both edges on the CAP input selected by bits 3:2.	
3:2	Count Input Select		When bits 1:0 in this register are not 00, these bits select which CAP pin is sampled for clocking:	00
		00	CAPn.0 (CAP0.0 for TIMER0 and CAP1.0 for TIMER1)	
		01	CAPn.1 (CAP0.1 for TIMER0 and CAP1.1 for TIMER1)	
		10	CAPn.2 (CAP0.2 for TIMER0 and CAP1.2 for TIMER1)	
		11	CAP1.3 for TIMER1	
			Note: If Counter mode is selected for a particular CAPn input in the TnCTCR, the 3 bits for that input in the Capture Control Register (TnCCR) must be programmed as 000. However, capture and/or interrupt can be selected for the other 3 CAPn inputs in the same timer.	
			Note: CAP0.3 not available on Timer 0.	

Table 169: Match Control Register (MCR, TIMER0: T0MCR - address 0xE000 4014 and TIMER1: T1MCR - address 0xE000 8014) bit description

Bit	Symbol	Value	Description	Reset value
0	MR0I	1	Interrupt on MR0: an interrupt is generated when MR0 matches the value in the TC.	0
		0	This interrupt is disabled	
1	MR0R	1	Reset on MR0: the TC will be reset if MR0 matches it.	0
		0	Feature disabled.	
2	MR0S	1	Stop on MR0: the TC and PC will be stopped and TCR[0] will be set to 0 if MR0 matches the TC.	0
		0	Feature disabled.	
3	MR1I	1	Interrupt on MR1: an interrupt is generated when MR1 matches the value in the TC.	0
		0	This interrupt is disabled	
4	MR1R	1	Reset on MR1: the TC will be reset if MR1 matches it.	0
		0	Feature disabled.	
5	MR1S	1	Stop on MR1: the TC and PC will be stopped and TCR[0] will be set to 0 if MR1 matches the TC.	0

	0	Feature disabled.	

Table 170: Capture Control Register (CCR, TIMER0: T0CCR - address 0xE000 4028 and TIMER1: T1CCR - address 0xE000 8028) bit description

Bit	Symbol	Value	Description	Reset value
0	CAP0RE	1	Capture on CAPn.0 rising edge: a sequence of 0 then 1 on CAPn.0 will cause CR0 to be loaded with the contents of TC.	0
		0	This feature is disabled.	
1	CAP0FE	1	Capture on CAPn.0 falling edge: a sequence of 1 then 0 on CAPn.0 will cause CR0 to be loaded with the contents of TC.	0
		0	This feature is disabled.	
2	CAP0I	1	Interrupt on CAPn.0 event: a CR0 load due to a CAPn.0 event will generate an interrupt.	0
		0	This feature is disabled.	
3	CAP1RE	1	Capture on CAPn.1 rising edge: a sequence of 0 then 1 on CAPn.1 will cause CR1 to be loaded with the contents of TC.	0
		0	This feature is disabled.	
4	CAP1FE	1	Capture on CAPn.1 falling edge: a sequence of 1 then 0 on CAPn.1 will cause CR1 to be loaded with the contents of TC.	0
		0	This feature is disabled.	
5	CAP1I	1	Interrupt on CAPn.1 event: a CR1 load due to a CAPn.1 event will generate an interrupt.	0
		0	This feature is disabled.	

Table 171: External Match Register (EMR, TIMER0: T0EMR - address 0xE000 403C and TIMER1: T1EMR - address0xE000 803C) bit description

Bit	Symbol	Description	Reset value
0	EM0	External Match 0. This bit reflects the state of output MAT0.0/MAT1.0, whether or not this output is connected to its pin. When a match occurs between the TC and MR0, this output of the timer can either toggle, go LOW, go HIGH, or do nothing. Bits EMR[5:4] control the functionality of this output.	0
1	EM1	External Match 1. This bit reflects the state of output MAT0.1/MAT1.1, whether or not this output is connected to its pin. When a match occurs between the TC and MR1, this output of the timer can either toggle, go LOW, go HIGH, or do nothing. Bits EMR[7:6] control the functionality of this output.	0
5:4	EMC0	External Match Control 0. Determines the functionality of External Match 0. Table 172 shows the encoding of these bits.	00
7:6	EMC1	External Match Control 1. Determines the functionality of External Match 1. Table 172 shows the encoding of these bits.	00

Table 172: External match control

EMR[11:10], EMR[9:8], EMR[7:6], or EMR[5:4]	Function
00	Do Nothing.
01	Clear the corresponding External Match bit/output to 0 (MATn.m pin is LOW if pinned out).
10	Set the corresponding External Match bit/output to 1 (MATn.m pin is HIGH if pinned out).
11	Toggle the corresponding External Match bit/output.

Vectored Interrupt Controller

ใช้คำตอบต่อไปนี้สำหรับตอบคำถามข้อ 46-49

a) Slow IRQ b) Fast IRQ c) Vectored IRQ d) Non-Vectored IRQ e) ไม่มีข้อถูก

46. Vectored Interrupt Controller <u>ไม่ได้ใช้</u>สำหรับควบคุม interrupt ประเภทใด
47. Interrupt ประเภทใดที่ถือว่ามีความสำคัญสูงสุด
48. Interrupt ประเภทใดที่ถือว่ามีความสำคัญต่ำสุด
49. การจัดลำดับความสำคัญ (Priority) โดย VIC ทำกับ Interrupt ในประเภทใด
50. จำนวน slot ของ interrupt ที่ VIC สามารถจัดการได้สูงสุดเป็นเท่าไร

    a) 2 b) 4 c) 8 d) 16 e) 32
51. module ใดต่อไปนี้ที่ไม่รองรับการใช้งานแบบ interrupt

    a) ADC b) GPIO c) UART d) Timer/Counter e) External Interrupt
52. module ใดต่อไปนี้ที่ไม่สามารถใช้งานแบบไม่มี interrupt

    a) ADC b) GPIO c) UART d) Timer/Counter e) External Interrupt
53. การประกาศ subroutine ของภาษา C เพื่อใช้งานเป็น interrupts service routine เมื่อใช้ toolchain ของ KEIL จะต้องกำกับ routine นั้นโดยใช้ keywords ใด
54. ในการจบจาก interrupt service routine จะต้อง clear interrupt โดยการเขียนลงใน register ใด
55. การเลือกว่าจะให้ interrupt ใดเป็น FIQ หรือ IRQ จะต้องกำหนดใน register ใด

Table 35: VIC register map

Name	Description	Access	Reset value[1]	Address
VICIRQStatus	IRQ Status Register. This register reads out the state of those interrupt requests that are enabled and classified as IRQ.	RO	0	0xFFFF F000
VICFIQStatus	FIQ Status Requests. This register reads out the state of those interrupt requests that are enabled and classified as FIQ.	RO	0	0xFFFF F004
VICRawIntr	Raw Interrupt Status Register. This register reads out the state of the 32 interrupt requests / software interrupts, regardless of enabling or classification.	RO	0	0xFFFF F008
VICIntSelect	Interrupt Select Register. This register classifies each of the 32 interrupt requests as contributing to FIQ or IRQ.	R/W	0	0xFFFF F00C
VICIntEnable	Interrupt Enable Register. This register controls which of the 32 interrupt requests and software interrupts are enabled to contribute to FIQ or IRQ.	R/W	0	0xFFFF F010
VICIntEnClr	Interrupt Enable Clear Register. This register allows software to clear one or more bits in the Interrupt Enable register.	WO	0	0xFFFF F014
VICSoftInt	Software Interrupt Register. The contents of this register are ORed with the 32 interrupt requests from various peripheral functions.	R/W	0	0xFFFF F018
VICSoftIntClear	Software Interrupt Clear Register. This register allows software to clear one or more bits in the Software Interrupt register.	WO	0	0xFFFF F01C
VICProtection	Protection enable register. This register allows limiting access to the VIC registers by software running in privileged mode.	R/W	0	0xFFFF F020
VICVectAddr	Vector Address Register. When an IRQ interrupt occurs, the IRQ service routine can read this register and jump to the value read.	R/W	0	0xFFFF F030
VICDefVectAddr	Default Vector Address Register. This register holds the address of the Interrupt Service routine (ISR) for non-vectored IRQs.	R/W	0	0xFFFF F034
VICVectAddr0	Vector address 0 register. Vector Address Registers 0-15 hold the addresses of the Interrupt Service routines (ISRs) for the 16 vectored IRQ slots.	R/W	0	0xFFFF F100
VICVectAddr1	Vector address 1 register.	R/W	0	0xFFFF F104
VICVectAddr2	Vector address 2 register.	R/W	0	0xFFFF F108
...				
VICVectAddr12	Vector address 12 register.	R/W	0	0xFFFF F130
VICVectAddr13	Vector address 13 register.	R/W	0	0xFFFF F134
VICVectAddr14	Vector address 14 register.	R/W	0	0xFFFF F138
VICVectAddr15	Vector address 15 register.	R/W	0	0xFFFF F13C
VICVectCntl0	Vector control 0 register. Vector Control Registers 0-15 each control one of the 16 vectored IRQ slots. Slot 0 has the highest priority and slot 15 the lowest.	R/W	0	0xFFFF F200
VICVectCntl1	Vector control 1 register.	R/W	0	0xFFFF F204
VICVectCntl2	Vector control 2 register.	R/W	0	0xFFFF F208
VICVectCntl3	Vector control 3 register.	R/W	0	0xFFFF F20C
...				

Table 48: IRQ Status register (VICIRQStatus - address 0xFFFF F000) bit allocation
Reset value: 0x0000 0000

Bit	31	30	29	28	27	26	25	24
Symbol	-	-	-	-	TIMER3	TIMER2	-	-
Access	RO	RO	RO	RO	RO	RO	RO	RO
Bit	23	22	21	20	19	18	17	16
Symbol	-	-	-	-	I2C1	AD0	-	EINT2
Access	RO	RO	RO	RO	RO	RO	RO	RO
Bit	15	14	13	12	11	10	9	8
Symbol	EINT1	EINT0	RTC	PLL	SSP/SPI1	SPI0	I2C0	-
Access	RO	RO	RO	RO	RO	RO	RO	RO
Bit	7	6	5	4	3	2	1	0
Symbol	UART1	UART0	TIMER1	TIMER0	ARMCore1	ARMCore0	-	WDT
Access	RO	RO	RO	RO	RO	RO	RO	RO

Table 52: Vector Control registers 0-15 (VICVectCntl0-15 - 0xFFFF F200-23C) bit description

Bit	Symbol	Description	Reset value
4:0	int_request/ sw_int_assig	The number of the interrupt request or software interrupt assigned to this vectored IRQ slot. As a matter of good programming practice, software should not assign the same interrupt number to more than one enabled vectored IRQ slot. But if this does occur, the lower numbered slot will be used when the interrupt request or software interrupt is enabled, classified as IRQ, and asserted.	0
5	IRQslot_en	When 1, this vectored IRQ slot is enabled, and can produce a unique ISR address when its assigned interrupt request or software interrupt is enabled, classified as IRQ, and asserted.	0
31:6	-	Reserved, user software should not write ones to reserved bits. The value read from a reserved bit is not defined.	NA

ต้องการใช้ VIC สำหรับรองรับ interrupt ที่เกิดจาก Timer0 และ External interrupt 1 โดยมี subroutine timer_isr() สำหรับ interrupt service routine ของ Timer0 และ extint_isr() สำหรับ External interrupt 1 แล้ว ให้เติมช่องว่าในส่วนของการ initialize VIC ในส่วนของโปรแกรมต่อไปนี้

```
void    intInit(void) {
        ...
       // Handle Timer0
        VICVectCntl0 = _____(56)_____;
        VICVectAddr0 = _____(57)_____;
        // Handle EINT1
        VICVectCntl1 = _____(58)_____;
        VICVectAddr1 = _____(59)_____;

        ...
        // Enable Timer0 and Ext1
        VICIntEnable = _____(60)_____;
}
```

56. VICVectCntl0 =
57. VICVectAddr0 =
58. VICVectCntl1 =
59. VICVectAddr1 =
60. VICIntEnable =

Universal Asynchronous Receiver Tranmitter

61. LPC2103 มีช่องทางการสื่อสารแบบ UART จำนวนกี่ช่องสัญญาณ
    a) 1 b) 2 c) 3 d) 4 e) 5
62. การสื่อสารแบบ UART ของ LPC2103 เป็นการสื่อสารแบบ
    a) simplex b) complex c) multiplex d) half duplex e) full duplex
63. การรับส่งข้อมูลจะมีลักษณะเป็น
    a) serial communication b) parallel communication c) concurrent communication
    d) simultaneous communication e) ไม่มีข้อถูก
64. สัญญาณในข้อใด ไม่ได้เป็นส่วนหนึ่งของการรับส่งข้อมูลแบบ UART
    a) Tx b) Rx c) GND d) CLK e) ไม่มีข้อถูก

จงเติมช่องว่างใน subroutine สำหรับการ initialize UART0 ต่อไปนี้ เพื่อให้สามารถใช้งานได้อย่างถูกต้อง

```
void    uart0Init(int baudval) {
        ___(65)___ |=  0x5;
        ___(66)___ &= ~0xA;
        ___(67)___ = 0x83;
        ___(68)___ = baudval & 0xFF;
        ___(69)___ = baudval >> 8;
        ___(70)___ = 0x03;
}
```

65. |= 0x5;
66. &= ~0xA;
67. = 0x83;
68. = baudval & 0xFF;
69. = baudval >> 8;
70. = 0x03;

Table 81: UART0 register map

Name	Description	Bit functions and addresses								Access	Reset value[1]	Address
		MSB							LSB			
		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0			
U0RBR	Receiver Buffer Register	8-bit Read Data								RO	NA	0xE000 C000 (DLAB=0)
U0THR	Transmit Holding Register	8-bit Write Data								WO	NA	0xE000 C000 (DLAB=0)
U0DLL	Divisor Latch LSB	8-bit Data								R/W	0x01	0xE000 C000 (DLAB=1)
U0DLM	Divisor Latch MSB	8-bit Data								R/W	0x00	0xE000 C004 (DLAB=1)
U0IER	Interrupt Enable Register	-	-	-	-	-	-	En.ABTO	En.ABEO	R/W	0x00	0xE000 C004 (DLAB=0)
		-	-	-	-	-	En. RX Lin.St.Int	Enable THRE Int	En.RX Dat.Av.Int			
U0IIR	Interrupt ID Reg.	-	-	-	-	-	-	ABTO Int	ABEO Int	RO	0x01	0xE000 C008
		FIFOs Enabled		-	-	IIR3	IIR2	IIR1	IIR0			
U0FCR	FIFO Control Register	RX Trigger		-	-	-	TX FIFO Reset	RX FIFO Reset	FIFO Enable	WO	0x00	0xE000 C008
U0LCR	Line Control Register	DLAB	Set Break	Stick Parity	Even Par.Selct.	Parity Enable	No. of Stop Bits	Word Length Select		R/W	0x00	0xE000 C00C
U0LSR	Line Status Register	RX FIFO Error	TEMT	THRE	BI	FE	PE	OE	DR	RO	0x60	0xE000 C014
U0SCR	Scratch Pad Reg.	8-bit Data								R/W	0x00	0xE000 C01C
U0ACR	Auto-baud Control Register	-	-	-	-	-	-	ABTO Int.Clr	ABEO Int.Clr	R/W	0x00	0xE000 C020
		-	-	-	-	-	Aut.Rstrt.	Mode	Start			
U0FDR	Fractional Divider Register	Reserved[31:8]									0x10	0xE000 C028
		MulVal				DivAddVal						
U0TER	TX. Enable Reg.	TXEN	-	-	-	-	-	-	-	R/W	0x80	0xE000 C030

Analog Digital Convertor

71. วงจร ADC ของ LPC2103 ใช้สำหรับ
    a) แปลงข้อมูลแบบ analog เป็น digital
    b) แปลงข้อมูลแบบ digital เป็น analog
    c) แปลงข้อมูลทั้ง analog เป็น digital และ digital เป็น analog
72. ชนิดของข้อมูลที่วงจร ADC ใช้เป็น input
    a) ความต่างศักย์ b) กระแส c) ความต้านทาน d) กำลังงาน e) ถูกทุกข้อ
73. ค่าแรงดันสูงสุดที่ ADC ของ LPC2103 สามารถรับเป็น input แล้วยังทำงานได้ถูกต้องคือ
    a) 1.5 V. b) 3 V. c) 5 V. d) 12 V. e) 220 V.
74. จำนวนบิทของข้อมูลที่ความละเอียดสูงสุดที่ ADC ของ LPC2103 สามารถแปลงได้คือ
    a) 4 bit b) 8 bit c) 10 bit d) 16 bit e) 32 bit
75. จำนวนบิทของข้อมูลที่ความละเอียดต่ำสุดที่ ADC ของ LPC2103 สามารถแปลงได้คือ
    a) 4 bit b) 8 bit c) 10 bit d) 16 bit e) 32 bit

Real Time Clock

76. วงจร RTC ต้องการสัญญาณ clock เพื่อใช้ในการนับที่ความถี่เท่าใด
    a) 32KHz b) 64KHz c) 1MHz d) 12MHz e) 20MHz
77. สัญญาณ clock จากแหล่งใดที่ตัว RTC จะต้องกำหนดค่า PREINT กับ PREFAC ก่อนจึงจะสามารถนับเวลาได้อย่างถูกต้อง
    a) external oscillator b) CCLK c) PCLK d) Timer/Counter e) ถูกทุกข้อ
78. ในกรณีที่ต้องการเก็บค่าเวลาที่ถูกต้องเอาไว้ถึงแม้จะไม่จ่าย Power ให้กับระบบแล้ว ตัว RTC จะต้องใช้สัญญาณ clock จากแหล่งใด
    a) external oscillator b) CCLK c) PCLK d) Timer/Counter e) ถูกทุกข้อ
79. ค่าของหน่วยเวลาละเอียดสุดที่ RTC บันทึกและสามารถนำมาใช้ได้คือ
80. ค่าของหน่วยเวลาหยาบสุดที่ RTC บันทึกและสามารถนำมาใช้ได้คือ

ฉัตรชัย จันทร์พริ้ม
2009-02-17

กระดาษคำตอบ

รหัสนศ. _____ ชื่อ-สกุล _____

1.	26.	51.	76.
2.	27.	52.	77.
3.	28.	53.	78.
4.	29.	54.	79.
5.	30.	55.	80.
6.	31.	56.	81.
7.	32.	57.	82.
8.	33.	58.	83.
9.	34.	59.	84.
10.	35.	60.	85.
11.	36.	61.	86.
12.	37.	62.	87.
13.	38.	63.	88.
14.	39.	64.	89.
15.	40.	65.	90.
16.	41.	66.	91.
17.	42.	67.	92.
18.	43.	68.	93.
19.	44.	69.	94.
20.	45.	70.	95.
21.	46.	71.	96.
22.	47.	72.	97.
23.	48.	73.	98.
24.	49.	74.	99.
25.	50.	75.	100.