ชื่อ-สกุล.....รหัส.....

มหาวิทยาลัยสงขลานครินทร์

คณะวิศวกรรมศาสตร์

สอบกลางภาค: ภาคการศึกษาที่ 1 **ปีการศึกษา:** 2552

วันที่สอบ: 27 กรกฎาคม 2552 **เวลาสอบ:** 9.00-12.00

รหัสวิชา: 241-441 **ห้องสอบ:** R 200

ชื่อวิชา: LOGIC CIRCUITS DESIGN

อนุญาต : เครื่องเขียนต่างๆ ปากกา หรือดินสอ

: หนังสือเรียน Advanced Digital Design with the Verilog HDL กระดาษโน๊ต

: สมุดบันทึก

ไม่อนุญาต : เครื่องคิดเลข, Computer Notebook

เวลา: 3 ชั่วโมง (180 นาที)

คำสั่ง

- ข้อสอบมีจำนวน 13 หน้า(รวมทั้งใบปะหน้า) รวม 8 ข้อ แบ่งเป็น 2 ส่วน
  - *ส่วนที่ 1* เริ่มตั้งแต่ข้อ 1-6 ให้ทำทุกข้อ
  - *ส่วนที่ 2* เริ่มตั้งแต่ข้อ 7-8 ให้เลือกทำข้อใดข้อหนึ่งเพียงข้อเดียวเท่านั้น
- เขียนคำตอบลงในข้อสอบเท่านั้น
- อนุญาตให้ใช้ดินสอในการทำข้อสอบได้ กรณีเขียนไม่ชัดหรืออ่านไม่ออก จะถือว่าคำตอบนั้นผิด
- อ่านคำสั่งในแต่ละข้อให้เข้าใจก่อนลงมือทำ
- ให้เขียนชื่อ-นามสกุลและรหัสนักศึกษาในข้อสอบทุกแผ่น แผ่นใดไม่เขียนหรือเขียนไม่ครบจะถูกตัดคะแนนแผ่นละ 1 คะแนน
- อนุญาตให้ทดเลขลงด้านหลังของข้อสอบได้

-ทุจริตในการสอบมีโทษขั้นต่ำปรับตกในรายวิชานี้และพักการเรียน 1 ภาคการศึกษา-

ชื่อ-สกุล.....รหัส.....

1. วงจร ABC_circuit เป็นวงจรคอมไบเนชั่นลอจิกมีขาอินพุต ดังนี้

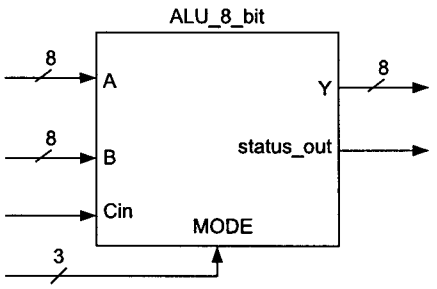
```
module ABC_circuit(a,b,y);
    input [3:0] a,b;
    output [3:0] y;
```

จงเขียน testbench ทดสอบการทำงานของวงจร โดยกำหนดให้ป้อนอินพุตทดสอบวงจรให้ครบทุกกรณี (6 คะแนน)

คำแนะนำ อินพุตทั้งหมดของวงจรมี 8 บิต ดังนั้นจึงมีเงื่อนไขที่ต้องทดสอบจำนวน 256 เงื่อนไข

ชื่อ-สกุล.....รหัส.....

2. จงสร้างวงจร ALU ขนาด 8 บิต ซึ่งมีขาอินพุต MODE เป็นตัวเลือกคำสั่งการทำงาน โดย ALU สนับสนุนคำสั่งจำนวน 8 คำสั่ง และมีขาอินพุตเอาต์พุตดังรูป



วงจรมีฟังก์ชั่นการทำงานดังตาราง

MODE[2]	MODE[1]	MODE[0]	หน้าที่ของ ALU	คำอธิบาย	หน้าที่ของขา Status_out
0	0	0	Adder	Y ← A + B+Cin	Carry out
0	0	1	Subtractor	Y ← A – B - Cin	Borrow out
0	1	0	AND	Y ← A and B	Even Parity
0	1	1	OR	Y ← A or B	Even Parity
1	0	0	XOR	Y ← A xor B	Even Parity
1	0	1	Shift left	Y[31..1] ← A[30..0] Y[0] ← '0'	Odd Parity
1	1	0	Shift right	Y[30..0] ← A[31..1] Y[31] ← '0'	Odd Parity
1	1	1	Rotate Left	Y[31..1] ← A[30..0] Y[0] ← A31[31]	Odd Parity

จงเขียนวงจร ALU ดังกล่าวด้วยภาษา Verilog โดยใช้ module ซึ่งมีอยู่แล้วดังต่อไปนี้

(15 คะแนน)

```
module full_adder(a,b,c_in,sum,c_out);
input a,b,c_in;
output sum,c_out;
assign sum = a ^ b ^ c_in;
assign c_out = (a & b)  |  (c_in & (a^b)) ;
```

```
module full_subtractor(a,b,b_in, diff, b_out);
input a,b,b_in;
output diff, b_out;
assign diff = a ^ b ^ b_in;
assign b_out = (~a & b) | (b_in & (a ~^ b));
```

คำแนะนำ module หน้าที่การทำงานใดที่ยังไม่มีให้ใช้ ให้นักศึกษาเขียนเพิ่มเติมขึ้นมาเอง

.....

.....

.....

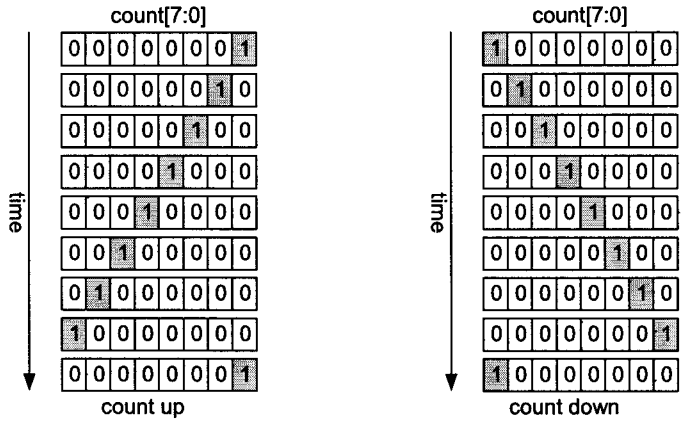
ชื่อ-สกุล.....รหัส.....

3. จงออกแบบ State diagram ของวงจร Sequence Detector เพื่อรับอินพุต X เรียงกันเข้ามาอย่างต่อเนื่อง วงจรจะให้ output sequence (Z) เป็นลอจิก 1 ก็ต่อเมื่อตรวจจับได้ว่า Input Sequence ที่ป้อนเข้ามาในวงจรเป็นลอจิก 0 จำนวน 2 ตัวติดกันเท่านั้น แล้วตามด้วย 10 นอกเหนือจากข้อกำหนดนี้ วงจรจะให้ output sequence เป็นลอจิก 0 ตลอด เช่น (6 คะแนน)

Input Sequence(X)	0	0	1	0	0	1	0	0	0	0	1	0	0	1	0
Output Sequence(Z)	0	0	0	1	0	0	1	0	0	0	0	0	0	0	1

ชื่อ-สกุล.....รหัส.....

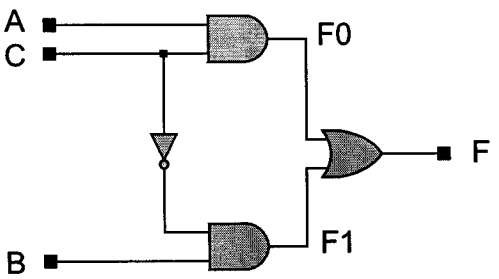
5. จงสร้างวงจร Ring Counter ซึ่งสามารถเลือกให้นับขึ้นนับลงได้ทางขาควบคุมชื่อ up1_down0 กำหนดให้เอาต์พุตของวงจรมีขนาด 8 บิต เมื่อวงจรถูกรีเซ็ทให้เอาต์พุตของวงจร เป็น 00000001 และกำหนดให้เป็นการรีเซ็ทแบบอะซิงโครนัส (5 คะแนน)



6. จงออกแบบวงจร up/down counter ขนาด 16 บิตด้วยภาษา Verilog โดยกำหนดให้วงจรมีการรีเซ็ทแบบซิงโครนัส (5 คะแนน)

ชื่อ-สกุล.....รหัส.....

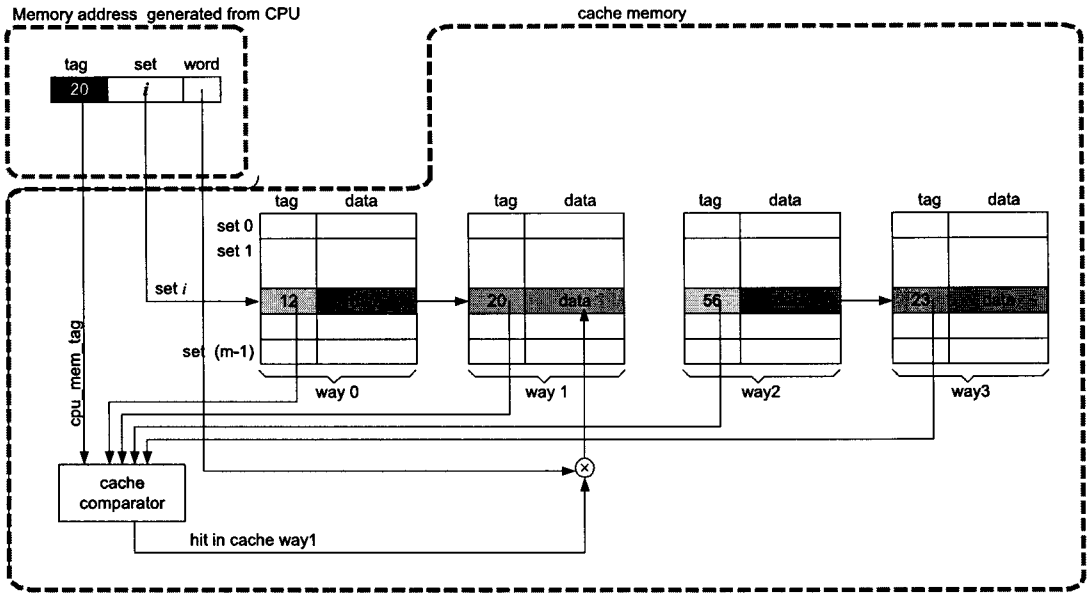
7. จากวงจรดังรูป จงสร้างวงจรดังกล่าวด้วยภาษา Verilog พร้อมทั้งเขียน testbench เพื่อตรวจสอบว่าวงจรดังกล่าวมี Static Hazard หรือไม่ (6 คะแนน)



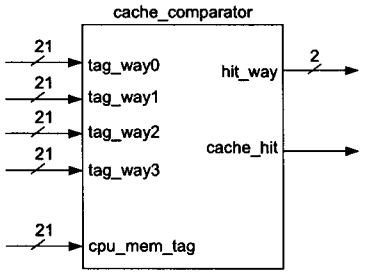
8. กำหนดให้ซีพียู A มีขนาด 32 บิตสามารถอ้างหน่วยความจำได้สูงสุด 4Gbytes มีแคชแบบ 4-way set associative ขนาด 8 กิโลไบต์ แบ่ง memory address ออกได้เป็น 3 field ดังรูป

tag	Set	word
21	9	2

ในการหาข้อมูลในแคชแบบ 4-way set associative จะต้องมีวงจร comparator เพื่อที่จะตรวจสอบว่าข้อมูลใน tag ของ memory address ที่ซีพียูอ้างถึงนั้น match กับ tag ของแคชใน way ใดดังรูป



จงออกแบบวงจร cache_comparator แบบ 4-way set associative โดยใช้ภาษา Verilog กำหนดให้วงจรมีอินพุตเอาต์พุตดังรูป (6 คะแนน)



คำแนะนำ - ขา hit_way ใช้เป็นตัวบอกว่า ข้อมูลที่ต้องการอยู่ใน way ใด (กรณีพบข้อมูลในแคช)

- หากพบข้อมูลในแคช ให้ขา cache_hit =1 แต่ถ้าไม่พบให้ขา cache_hit =0

.....

.....

.....