ชื่อ-สกุล_____รหัส_____

มหาวิทยาลัยสงขลานครินทร์

คณะวิศวกรรมศาสตร์

สอบกลางภาค : ภาคการศึกษาที่ 1 **ปีการศึกษา** : 2553

วันที่สอบ : 4 สิงหาคม 2553 **เวลาสอบ** : 09:00 – 12:00 น.

รหัสวิชา : 241-441 **ห้องสอบ** : A 201

ชื่อวิชา : Logic Circuits Design

คำสั่ง : อ่านรายละเอียดของข้อสอบ และคำแนะนำให้เข้าใจก่อนเริ่มทำข้อสอบ

อนุญาต : เครื่องเขียนต่าง ๆ เช่น ปากกา หรือ ดินสอ

: เครื่องคิดเลข, หนังสือ หรือ เอกสารใด ๆ เข้าห้องสอบได้

เวลา : 3 ชั่วโมง (180 นาที)

คำแนะนำ

- ข้อสอบมีจำนวน 1 หน้า (ไม่รวมใบปะหน้า) 5 ข้อ มีคะแนนรวม 50 คะแนน
- เขียนคำตอบลงในข้อสอบเท่านั้น
- ใช้ดินสอทำข้อสอบได้ กรณีเขียนไม่ชัดหรืออ่านไม่ออก จะถือว่าคำตอบนั้นผิด
- อ่านคำสั่งในแต่ละข้อให้เข้าใจก่อนลงมือทำ
- **อย่าลืม เขียน ชื่อ-นามสกุล และรหัสนักศึกษา ลงในข้อสอบทุกแผ่น**

– ทุจริตในการสอบมีโทษขั้นต่ำปรับตกในรายวิชานี้ และพักการเรียน 1 ภาคการศึกษา –

– โทษสูงสุดคือ ไล่ออก –

1. เขียนโมดูลภาษา verilog อธิบายการทำงานของ negative edge triggered D flip-flop ที่มีสัญญาณ set และ clear พร้อมทั้งเขียน Testbench เพื่อทดสอบวงจร
   a. โมดูลการทำงานของ D Flip-flop กำหนดให้ใช้การเขียนแบบ RTL 5 คะแนน
   b. Testbench ทดสอบโมดูลในข้อ a 5 คะแนน
2. จงออกแบบวงจรบวกขนาด 4 บิต 2 อินพุตด้วยภาษา Verilog ตามข้อกำหนดที่ให้ไว้เท่านั้น (ขา I/O ดังต่อไปนี้ a และ b เป็นขาอินพุต และมี sum และ carry เป็นเอาท์พุต) 5 คะแนน
3. จงออกแบบหน่วยความจำด้วยภาษา Verilog ตามข้อกำหนดที่ให้ไว้ (กำหนดให้หน่วยความจำมีขนาด 16 x 64 บิต, ขนาดของ data bus เป็น 16 บิต ทำงานตามสัญญาณนาฬิกา และควบคุมการอ่านและเขียนด้วยขาสัญญาณ wr, wr=0 คือการเขียน และ wr=1 คือการอ่าน) 10 คะแนน
4. จงเขียน Test bench ทดสอบการทำงานของหน่วยความจำที่ออกแบบไว้ในข้อ 3 5 คะแนน
5. จงออกแบบ datapath ของไมโครโพรเซสเซอร์ด้วยภาษา Verilog ให้สามารถทำงานได้อย่างน้อย 4 คำสั่งคือ add, sub, load และ store กำหนดให้ datapath มีขนาดของ data bus เป็น 8 บิต 20 คะแนน