ชื่อ-สกุล_____รหัส_____

มหาวิทยาลัยสงขลานครินทร์

คณะวิศวกรรมศาสตร์

สอบกลางภาค : ภาคการศึกษาที่ 1 **ปีการศึกษา** : 2553

วันที่สอบ : 3 สิงหาคม 2553 **เวลาสอบ** : 13:30-16:30 น.

รหัสวิชา : 241-442 **ห้องสอบ** : A203

ชื่อวิชา : VLSI System Design

คำสั่ง : อ่านรายละเอียดของข้อสอบ และคำแนะนำให้เข้าใจก่อนเริ่มทำข้อสอบ

อนุญาต : เครื่องเขียนต่าง ๆ เช่น ปากกา หรือ ดินสอ

: เครื่องคิดเลข, หนังสือ หรือ เอกสารใด ๆ เข้าห้องสอบได้

เวลา : 3 ชั่วโมง (180 นาที)

คำแนะนำ

- ข้อสอบมีจำนวน 6 หน้า (ไม่รวมใบปะหน้า) 6 ข้อ มีคะแนนรวม 60 คะแนน
- เขียนคำตอบลงในข้อสอบเท่านั้น
- ใช้ดินสอทำข้อสอบได้ กรณีเขียนไม่ชัดหรืออ่านไม่ออก จะถือว่าคำตอบนั้นผิด
- อ่านคำสั่งในแต่ละข้อให้เข้าใจก่อนลงมือทำ
- **อย่าลืม เขียน ชื่อ-นามสกุล และรหัสนักศึกษา ลงในข้อสอบทุกแผ่น**

– ทุจริตในการสอบมีโทษขั้นต่ำปรับตกในรายวิชานี้ และพักการเรียน 1 ภาคการศึกษา –

– โทษสูงสุดคือ ไล่ออก –

1. จงตอบคำถามต่อไปนี้ (10 คะแนน)

1.1) จงวาดสัญลักษณ์ของ nMOS และอธิบายการทำงานอย่างย่อ

1.2) Self-Aligned Process คือ อะไร

1.3) Transmission gate คืออะไร สร้างขึ้นมาเพื่ออะไร

1.4) Skewed gate เกิดขึ้นเนื่องจากอะไร ส่งผลให้เกิดอะไรขึ้น

1.5) Crosstalk คืออะไร

2. จงอธิบายปริมาณกระแสที่เกิดขึ้นในแต่ละสถานะการทำงานของ nMOS ได้แก่ cut-off, linear และ saturation (10 คะแนน)

3. จากสมการ $Y = \overline{(A+B)} \cdot \overline{(D+E)}$ จงตอบคำถามต่อไปนี้ (10 คะแนน)

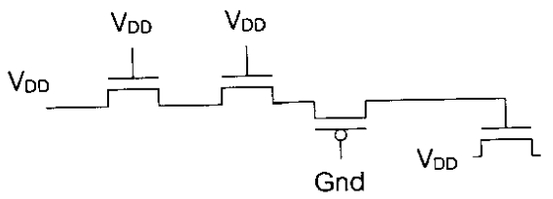
3.1) จงออกแบบวงจรลอจิก โดยใช้ standard gate ได้แก่ Inverter, NAND และ NOR เท่านั้น รวมทั้งประมาณจำนวนของทรานซิสเตอร์ที่ต้องใช้ทั้งหมด (3 คะแนน)

3.2) จงออกแบบวงจรลอจิกแบบ compound gate โดยใช้ Complementary CMOS (3 คะแนน)

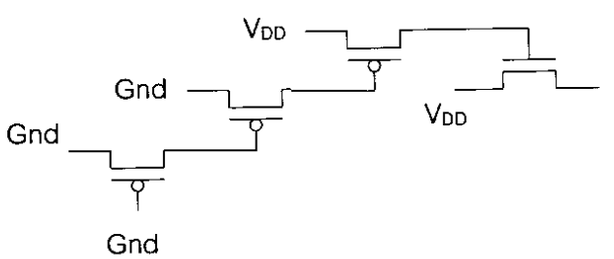
3.3) จงวาด Stick Diagram ของวงจรในข้อ 3.2 รวมทั้งประมาณพื้นที่จากจำนวนทรานซิสเตอร์ (4 คะแนน)

4. จากรูป จงประมาณค่าแรงดันในแต่ละจุดให้ครบถ้วน กำหนดให้ $V_{tn} = |V_{tp}| = V_t$ (5 คะแนน)

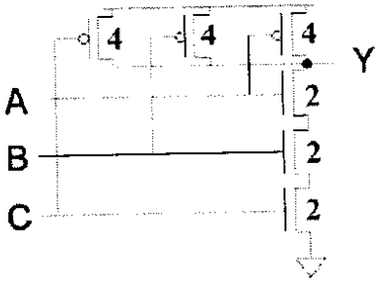
4.1) (2.5 คะแนน)



4.2) (2.5 คะแนน)



5. จงคำนวณหา delay โดยใช้ Switch-level RC Delay Model (10 คะแนน)



กำหนดให้มี load ที่ output = 9C

5.1 t_{pdr} = ?

5.2 t_{pdf} = ?

6. จากรูป ถ้าต้องการออกแบบวงจรให้ค่า delay น้อยที่สุดของ path จากจุด A ไปยังจุด B โดยกำหนดให้ NAND ที่ A มีโหลด = C และโหลดที่ปลายทาง ณ จุด B มีค่า 4.5C ดังนั้นจะต้องกำหนดขนาดของทรานซิสเตอร์ PMOS และ NMOS ของ NAND y และ NAND z เป็นเท่าไหร่

(15 คะแนน)