มหาวิทยาลัยสงขลานครินทร์

คณะวิศวกรรมศาสตร์

การสอบกลางภาค ประจำภาคการศึกษาที่ 2 **ประจำปีการศึกษา 2552**

วันที่ 20 ธันวาคม 2552 **เวลา 09.00 -12.00น.**

วิชา 210-432 Advanced Electronics **ห้อง S203**

<u>คำสั่ง</u>

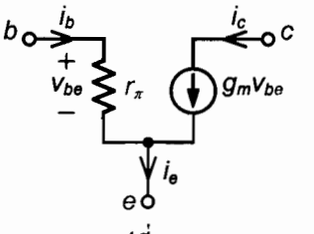
1. ข้อสอบชุดนี้มีทั้งหมด 8 ข้อ ควรตรวจสอบก่อนลงมือทำ ให้ทำเต็มความสามารถ ไม่ต้องกังวลถ้าทำไม่ครบทุกข้อ
2. อนุญาตให้นำเฉพาะเครื่องเขียนและเครื่องคิดเลขเข้าห้องสอบ
3. อนุญาตให้ใช้ดินสอหรือปากกาก็ได้ในการเขียนคำตอบ
4. ให้เขียนคำตอบในสมุดคำตอบ

กำหนดให้

- แรงดันเทอร์มัลมีค่า $V_T = 26\text{mV}$ ที่อุณหภูมิห้อง 27°C
- สมมติให้เมื่อทรานซิสเตอร์แบบไบโพล่าร์ (BJT) ทำงาน แรงดัน V_{BEON} จะมีค่าประมาณ 0.7 โวลต์ โดยที่สมการความสัมพันธ์ของทรานซิสเตอร์ไบโพล่าร์คือ

$$I_c = I_S \exp\left(\frac{V_{be}}{V_T}\right) \tag{1.1}$$

- สมมติให้ small-signal model ของ BJT เป็นดังรูปที่ 1.1 (นอกจากจะมีการกำหนดเฉพาะ)



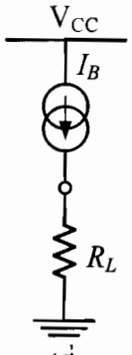
รูปที่ 1.1

ชื่อ:_____รหัสประจำตัว:_____

ผู้ออกข้อสอบ: นาย ภาณุมาส คำสัตย์

1. ให้ออกแบบวงจรจ่ายกระแสคงที่ (DC current sources) สามโครงสร้างที่แตกต่างกันโดยทุกวงจรจะต้องมีการใช้ทรานซิสเตอร์ไบโพล่าร์ (BJT) ร่วมกับออปแอมป์และตัวต้านทานปรับค่าได้เพื่อความแม่นยำในการกำหนดกระแสเพื่อให้สามารถจ่ายกระแสให้โหลดซึ่งเป็นตัวต้านทาน R_L ที่ต่อลงกราวนด์ดังแสดงในรูปที่ 1.2 อธิบายหลักการการทำงานของแต่ละโครงสร้างที่ออกแบบด้วย โดยที่ระบบใช้ไฟเลี้ยงเดี่ยว (ไม่จำเป็นต้องวิเคราะห์อย่างละเอียด)

(6 คะแนน)



รูปที่ 1.2

2. ออกแบบวงจรที่ทำการลบสัญญาณแรงดันเพื่อให้ได้ความสัมพันธ์

$$v_{out} = \frac{R_2}{R_1}\left(v_{in1} - v_{in2}\right) \tag{1.2}$$

ซึ่งอัตราขยายผลต่างไม่ขึ้นอยู่กับพารามิเตอร์ของทรานซิสเตอร์เมื่อสัญญาณอินพุทมีขนาดเล็กมากโดยใช้

- ไฟเลี้ยงคู่ หรือไฟเลี้ยงเดี่ยวก็ได้
- ทรานซิสเตอร์ชนิดเอ็นพีเอ็นหรือพีเอ็นพีจำนวนกี่ตัวก็ได้
- ตัวต้านทานจำนวนกี่ตัวก็ได้
- ไม่อนุญาตให้ใช้แหล่งจ่ายกระแสอุดมคติใดๆในวงจร
- ไม่อนุญาตให้ใช้ตัวเก็บประจุขนาดใหญ่
- การไบอัสของวงจรต้องสามารถทำให้เกิดการทำงานได้จริง

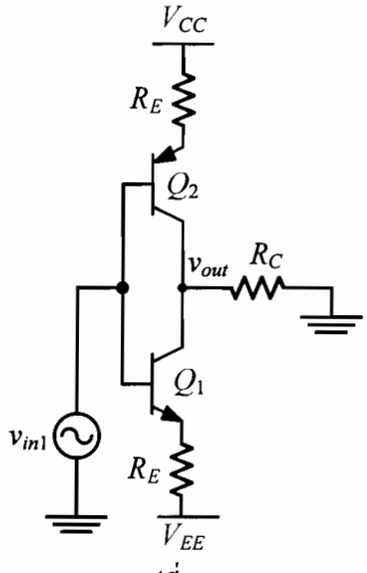
แนวทาง: ใช้การออกแบบของวงจรขยายผลต่างแบบ differential pair ควบคู่กับแหล่งจ่ายกระแส และวงจรสะท้อนกระแส ประกอบกับการใช้เทคนิค emitter degeneration

(6 คะแนน)

3. (ก) สมมติว่าทรานซิสเตอร์ที่ใช้เป็นอุดมคติจ่ายและรองรับกระแสได้ไม่จำกัด (ในทิศทางที่เหมาะสม) ถ้า $V_{CC} = -V_{EE} = 2.5\text{V}$, $R_E = R_C = 1\text{k}\Omega$ วงจรในรูปที่ 1.3 เป็นวงจรคลาสใด (A, B, AB) เพราะอะไร ให้อธิบายโดยละเอียดเท่าที่จะทำได้

(ข) อัตราขยายเมื่อ v_{in1} มีขนาดเล็กมากกับใหญ่มาก มีขนาดเท่ากันหรือไม่เพราะอะไร ถ้าไม่เท่ากัน กรณีไหนใหญ่กว่ากันมากน้อยกว่ากันแค่ไหน (กี่เท่าตัวโดยประมาณ)

(5 คะแนน)



รูปที่ 1.3

4. ให้ทำการวิเคราะห์ใน s domain เท่านั้น ประกอบการอธิบายว่าทราบได้อย่างไรว่าระบบ phase-lock loop จะให้ความถี่จาก VCO เท่ากับความถี่ที่อินพุทได้อย่างไรโดยไม่มี error เลย

แนวทาง : ให้สมมติว่าความถี่อินพุทที่เข้าไปในระบบมีค่าคงที่เท่ากับ ω_0 เรเดียนต่อวินาที (อาจจะมองว่าเป็น step function ก็ได้)

Laplace transform

$$F(s) = \int_0^\infty f(t) e^{-st}\, dt \tag{1.3}$$

Final-value theorem (ใช้หาค่าสัญญาณในสภาวะคงตัว – steady-state condition โดยใช้การพิจารณาใน s domain)

$$f(t)\big|_{t\to\infty} = \lim_{s\to 0} sF(s) \tag{1.4}$$

โดยมีความสัมพันธ์ระหว่าง phase และ frequency เป็น

$$\omega(t) = \frac{d\phi(t)}{dt} \tag{1.5}$$

(6 คะแนน)

หมายเหตุ: ไม่มีคะแนนสำหรับการวิเคราะห์ผ่านโดเมนเวลา

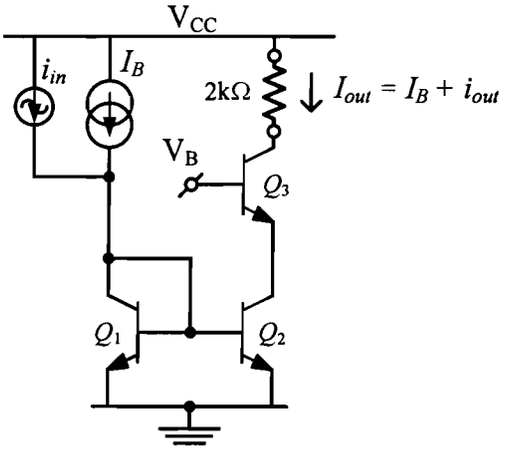
5. จากวงจรสะท้อนกระแสในรูปที่ 1.4 เป็นแนวคิดที่อาศัยเทคนิคคาสโคดเพื่อเพิ่มความต้านทานเอาท์พุทที่มีหลักการของการป้อนกลับลบโดยประมาณได้ว่า $i_{out}/i_{in} \cong 1$ อย่างไรก็ตามเมื่อจะทำการต่อวงจรจริงกับโหลด 2kΩ เพื่อทำการสะท้อนสัญญาณกระแสเอซีขนาดเล็ก i_{in} ออกไปเป็นสัญญาณกระแสเอซีขนาดเล็ก i_{out} ปรากฏว่าพบปัญหาสำคัญของวงจรสะท้อนกระแสโครงสร้างแบบในรูปที่ 1.4 คือแรงดันเออรี่ (Early's Voltage) มีค่าไม่สูงทำให้ความต้านทานเอาท์พุทมีค่าไม่สูงพอ จงทำให้ความต้านทานที่เอาท์พุทของวงจรสูงขึ้น

(ก) โดยใช้ทรานซิสเตอร์เอ็นพีเอ็นหนึ่งตัว และแรงดันคงที่ค่าใดๆก็ได้หนึ่งชุด

(ข) โดยใช้ออปแอมป์อุดมคติหนึ่งตัว และแรงดันคงที่ค่าใดๆก็ได้หนึ่งชุด (ออปแอมป์ไม่จำเป็นต้องใช้ไฟเลี้ยง)

ให้อธิบายการออกแบบเพื่อให้เข้าใจว่าวงจรสามารถทำงานได้ดีขึ้นจริง (ไม่จำเป็นต้องทำสมการแสดง เน้นที่แนวคิดและการไบอัสควรสามารถทำให้วงจรทำงานได้จริง) อนุญาตให้ใช้ไฟเลี้ยงที่สูงเท่าใดก็ได้

(5 คะแนน)



รูปที่ 1.4

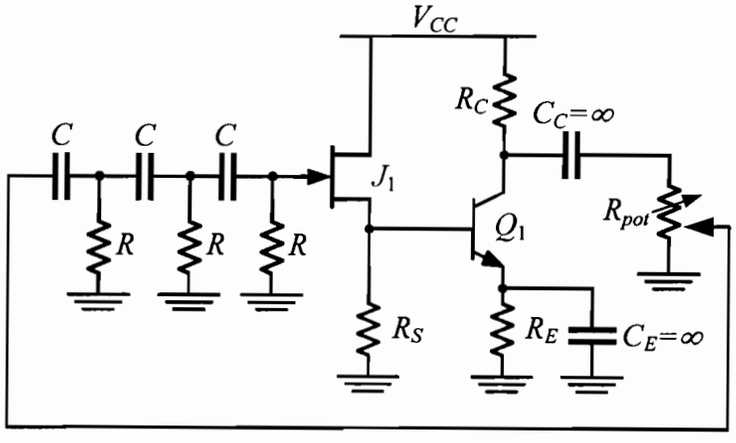
6.

(ก) ดัดแปลงวงจรกำเนิดสัญญาณแบบเลื่อนเฟส (phase-shift oscillator) ดังแสดงในรูปที่ 1.5 โดยไม่ใช้ N-Channel JFET และทรานซิสเตอร์เอ็นพีเอ็น เพื่อออกแบบให้ oscillator ทำงานได้ตามปกติ (คือกำเนิดสัญญาณได้จริงที่ความถี่เดิมวงจรในรูปที่ 1.5) โดยใช้อุปกรณ์พาสซีฟเดิมที่มีอยู่ประกอบกับตัวต้านทาน ตัวเก็บประจุค่าใดๆก็ได้และทรานซิสเตอร์ไบโพล่าร์พีเอ็นพีจำนวนไม่จำกัด (สมมติว่ากระแสเบสของทรานซิสเตอร์มีค่าน้อยมากและสามารถละเลยได้)

(ข) ให้เปลี่ยนวงจรที่ได้ออกแบบแล้วในข้อ (ก) เพื่อให้ได้วงจร sinusoidal oscillator แต่ให้ใช้โครงข่ายของ lowpass filter แทน highpass filter (ไม่ต้องกังวลว่าจะได้สัญญาณไซน์ที่ความถี่เดิมหรือไม่ ขอให้กำเนิดสัญญาณไซน์ได้จริงก็เพียงพอ) พร้อมทั้งแสดงระดับแรงดันไบอัสภายในวงจรโดยประมาณโดยติดคำตอบในรูปของ V_{CC} และค่าตัวต้านทาน (ให้ $V_{BEON} = 0.7V$)

(ไม่มีคะแนนสำหรับการออกแบบที่ไม่มีการวิเคราะห์และการอธิบาย)

(6 คะแนน)



รูปที่ 1.5

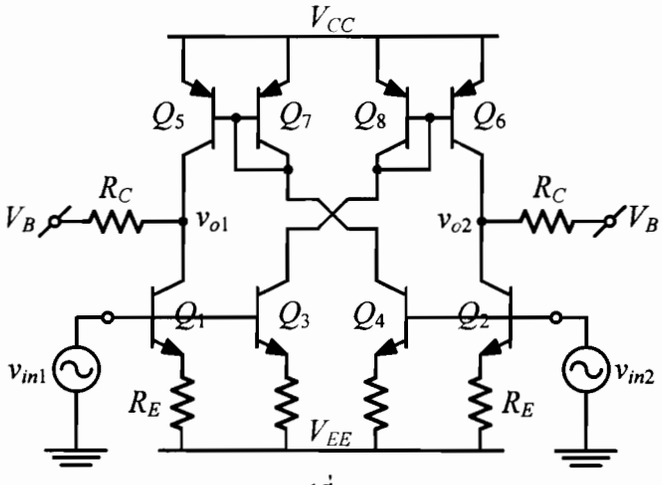
7.

(ก) จากวงจรในรูปที่ 1.6 ถ้าสัญญาณแรงดันอินพุทมีขนาดเล็กมากทั้งโหมดร่วมและโหมดต่าง จงทำการวิเคราะห์เพื่อประมาณหาอัตราขยายโหมดต่างและอัตราขยายโหมดร่วม (สมมติว่า $g_m R_E >> 1$ และวงจรสะท้อนกระแสด้านบนเป็นอุดมคติ)

(ข) สมมติว่าทรานซิสเตอร์ที่ใช้เป็นอุดมคติจ่ายและรองรับกระแสได้ไม่จำกัด (ในทิศทางที่เหมาะสม) วงจรในรูปที่ 1.6 เป็นวงจรคลาสใด (*A*, *B*, *AB*) เพราะอะไร ให้อธิบายโดยละเอียดเท่าที่จะทำได้

(ไม่มีคะแนนสำหรับการออกแบบที่ไม่มีการวิเคราะห์)

(8 คะแนน)

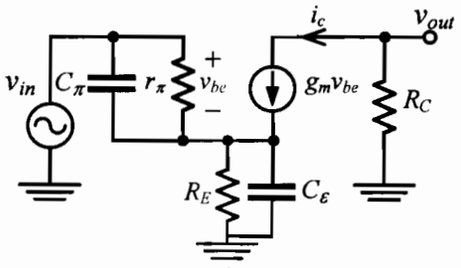


รูปที่ 1.6

8. (ก) วงจรในรูปที่ 1.7 มีโพล, ซีโร่หรือไม่ ถ้ามีอยู่ที่ใด (ตอบอยู่ในรูปพารามิเตอร์ของแต่ละอุปกรณ์)

(ข) และถ้ามีโพลเรามีวิธีการใดหรือไม่ที่จะขจัดโพลออกด้วยการออกแบบวงจรที่เหมาะสม (การออกแบบหมายถึงการจัดโครงสร้างที่เหมาะสมหรือการตั้งค่าพารามิเตอร์ให้มีความสัมพันธ์ที่เหมาะสม)

(8 คะแนน)



รูปที่ 1.7