มหาวิทยาลัยสงขลานครินทร์

คณะวิศวกรรมศาสตร์

สอบปลายภาค: ภาคการศึกษาที่ 2 **ปีการศึกษา:** 2553

วันที่สอบ: 21 กุมภาพันธ์ 2554 **เวลาสอบ:** 13.30 – 16.30 น.

ห้องสอบ: S201 **ผู้สอน:** อ.ทวีศักดิ์ และ อ.วิศรุต

รหัสวิชาและชื่อวิชา: 241-309 Advanced Analog and Digital Systems

ทุจริตในการสอบ มีโทษขั้นต่ำ คือ ปรับตกในรายวิชาที่ทุจริต และพักการเรียน 1 ภาคการศึกษา

คำสั่ง: อ่านรายละเอียดของข้อสอบ และคำแนะนำให้เข้าใจก่อนเริ่มทำข้อสอบ

อนุญาต: ปากกา ดินสอ

ไม่อนุญาต: หนังสือ และ เครื่องคิดเลข

เวลา: 3 ชั่วโมง (180 นาที)

คำแนะนำ

- ข้อสอบมี 12 หน้า (รวมใบปะหน้า) รวมทั้งหมด 8 ข้อ คิดเป็นคะแนน **30 %**
- **คำตอบส่วนใดอ่านไม่ออก จะถือว่าคำตอบนั้นผิด**
- อ่านคำสั่งในแต่ละข้อให้เข้าใจก่อนลงมือทำ
- หากข้อใดเขียนตอบไม่พอ ให้เขียนเพิ่มที่ด้านหลังกระดาษของคำถามข้อเดียวกันเท่านั้น

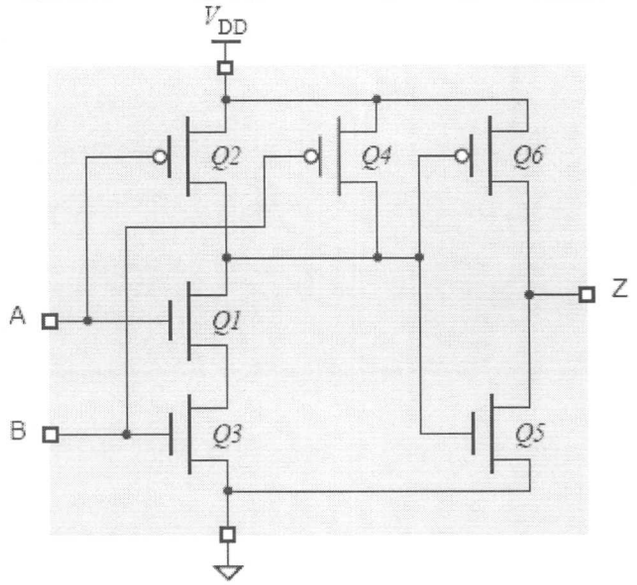
ชื่อ_____**รหัสนักศึกษา**_____

รหัสนักศึกษา_____

1. หากนำเกตตรรกะชนิดทีทีแอล (TTL Logic Gate) มาต่อกับเกตตรรกะชนิดทีทีแอลหลายๆเกต จงอธิบายและยกตัวอย่างประกอบว่า จำนวนเกตที่ถูกนำมาต่อมีข้อจำกัดอย่างไร ในด้านกระแสไฟฟ้า แรงดันไฟฟ้า และผลกระทบต่อ Noise Margin **(3 คะแนน)**

รหัสนักศึกษา_____

2. จากรูปที่ 2-1 CMOS Gate จงเขียนค่าตารางความจริง พร้อมระบุการ on , off ของทรานซิสเตอร์ แต่ละตัว และเทียบได้กับเกตชนิดใด **(4 คะแนน)**



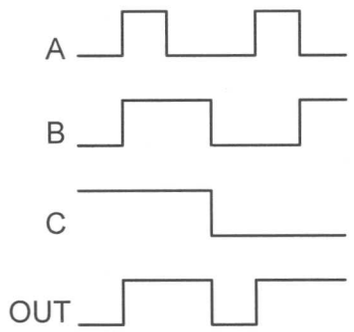
รูปที่ 2-1

A	B	Q1	Q2	Q3	Q4	Q5	Q6	Z
L	**L**							
L	**H**							
H	**L**							
H	**H**							

GATE ::_____

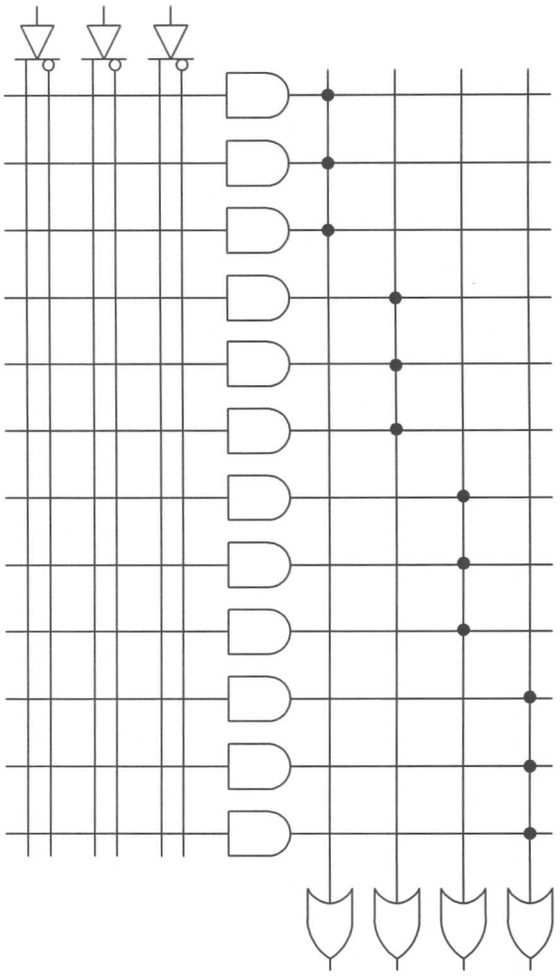
รหัสนักศึกษา_____

3. จากรูปคลื่นสัญญาณที่กำหนดให้ จงใช้ Karnaugh Map เพื่อลดรูป และนำผลลัพธ์ที่ได้มาประยุกต์ใช้กับ PAL อย่างง่าย ที่มี 3 อินพุต 4 เอาต์พุต และ PAL16L8 **(4 คะแนน)**



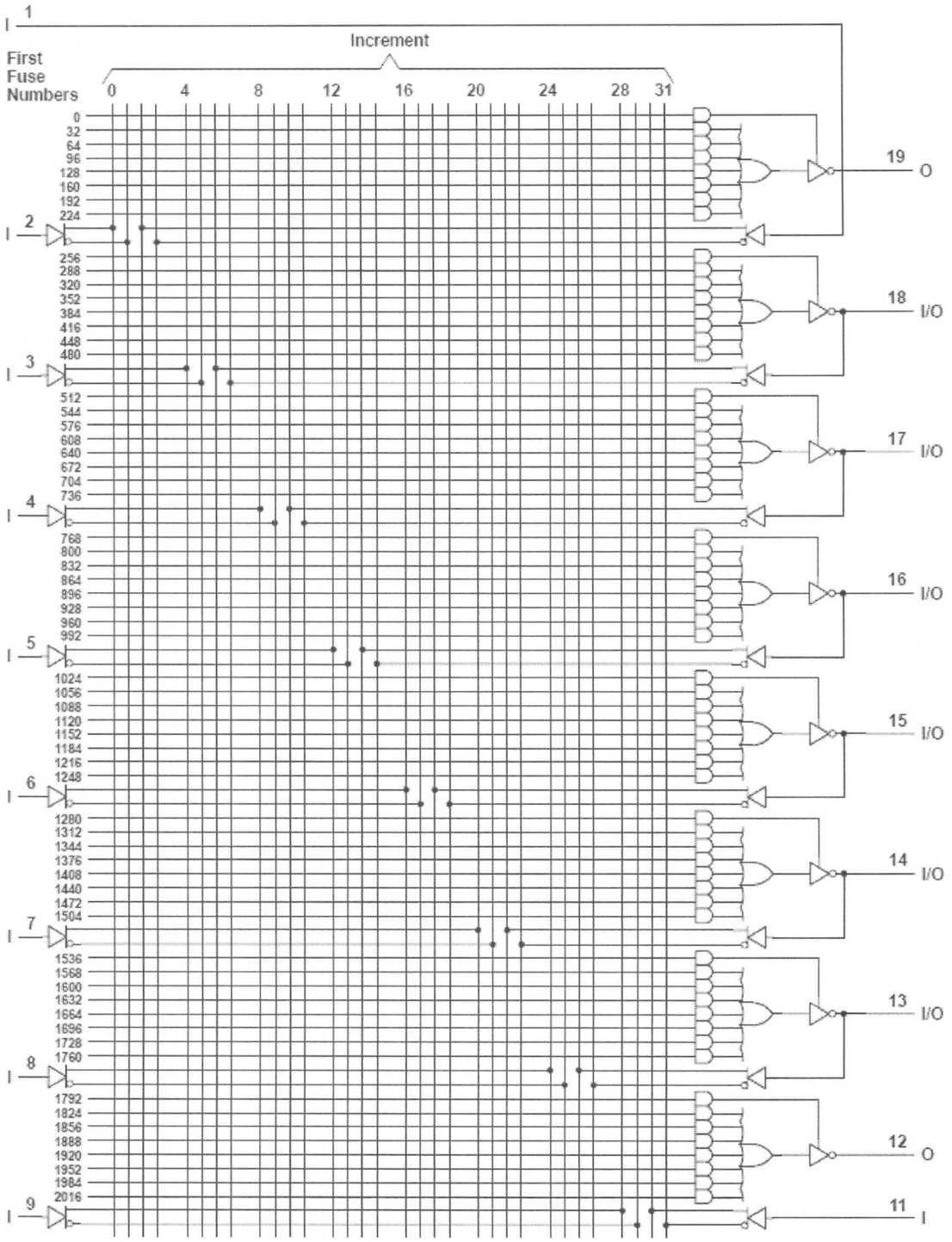
รูปที่ 3-1

PAL



รูปที่ 3-2

PAL16L8



รูปที่ 3-3

4. จงวาดรูปโครงสร้างภายในของอุปกรณ์ต่อไปนี้ **(4 คะแนน)**

4.1 PAL

4.2 GAL

4.3 CPLD

4.4 FPGA

รหัสนักศึกษา_____

5. จาก Datasheet ของ MC74VHC1GT86 จงวิเคราะห์และเขียน Timing Diagram ที่แสดง Rise Time และ Fall Time อย่างละเอียด พร้อมคำนวณ Dynamic Power Dissipation ที่ความถี่ 2 MHz **(4 คะแนน)**

รหัสนักศึกษา_____

6. จากรูปวงจรที่ให้มา จงระบุว่าเป็นวงจรอะไร โดยตอบจากตัวเลือกที่ให้มา **(2 คะแนน)**

ก. Transmission Gate

ข. Multiplexer

ค. NAND Gate

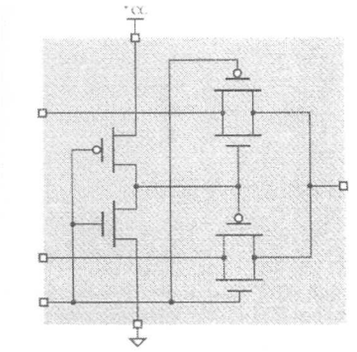
ง. NOR Gate

จ. 5-V Tolerate Input

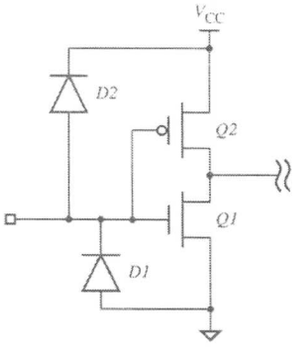
ฉ. 5-V Tolerate Output

ช. Non 5-V Tolerate Input

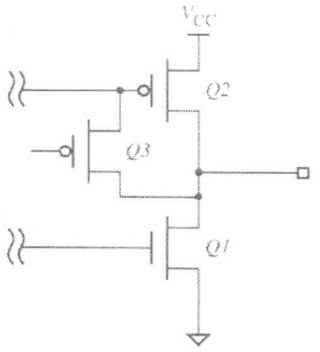
ฌ. Non 5-V Tolerate Output



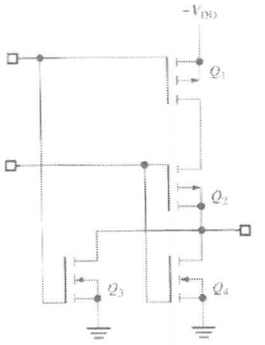
_____



_____



_____



_____

รหัสนักศึกษา_____

7. ส่วนประกอบของ Power Supply ประกอบด้วยกี่ส่วน อะไรบ้าง แต่ละส่วนทำหน้าที่อะไร พร้อมวาดรูปประกอบคำอธิบาย **(3 คะแนน)**

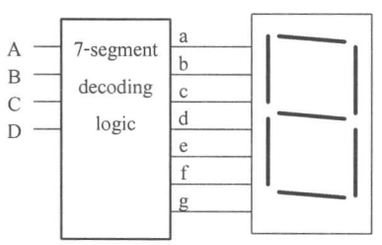
8. จากรูปที่ 8-1 เป็นวงจรถอดรหัส เพื่อขับ 7-segment โดยมีอินพุตเป็นเลขฐานสิบหกขนาด 4 บิต และเอาต์พุตเป็น 7-segment แสดงผลเป็นเลขฐานสิบหก กำหนดให้ 7-segment เป็นแบบแคโทดร่วมกัน (common cathode) จงหาคำตอบดังต่อไปนี้ **(6 คะแนน)**

8.1) เขียนตารางค่าความจริง สำหรับขับ segment C

8.2) จงใช้วิธี Quine-McClusky ในการลดรูป เพื่อสร้างวงจรสำหรับขับ segment C

8.3) จงเขียนนิพจน์ที่ได้จากข้อ 8.2)

8.4) จงเขียนวงจรตรรกะที่ขับ segment C



รูปที่ 8-1

รหัสนักศึกษา_____

DataSheet MC74VHC1GT86

AC ELECTRICAL CHARACTERISTICS (C_{load} = 50 pF, Input $t_r = t_f$ = 3.0ns)

Symbol	Parameter	Test Conditions	T_A = 25°C			$T_A \le 85°C$		$T_A \le 125°C$		Unit
			Min	Typ	Max	Min	Max	Min	Max	
t_{PLH}, t_{PHL}	Maximum Propogation Delay, Input A or B to Y	V_{CC} = 3.0 ± 0.3V C_L = 15 pF		5.0	11.0		13.0		15.5	ns
		C_L = 50 pF		6.2	14.5		16.5		19.5	
		V_{CC} = 5.0 ± 0.5V C_L = 15 pF		3.1	6.8		8.0		10.0	
		C_L = 50 pF		4.2	8.8		10.0		12.0	
C_{IN}	Maximum Input Capacitance			5.5	10		10		10	pF

		Typical @ 25°C, V_{CC} = 5.0V	
C_{PD}	Power Dissipation Capacitance (Note 1.)	11	pF

MC74VHC1GT86

2-Input Exclusive OR Gate / CMOS Logic Level Shifter
with LSTTL–Compatible Inputs

The MC74VHC1GT86 is an advanced high speed CMOS 2–input Exclusive OR gate fabricated with silicon gate CMOS technology. It achieves high speed operation similar to equivalent Bipolar Schottky TTL while maintaining CMOS low power dissipation.

The internal circuit is composed of three stages, including a buffer output which provides high noise immunity and stable output.

The device input is compatible with TTL–type input thresholds and the output has a full 5V CMOS level output swing. The input protection circuitry on this device allows overvoltage tolerance on the input, allowing the device to be used as a logic–level translator from 3.0V CMOS logic to 5.0V CMOS Logic or from 1.8V CMOS logic to 3.0V CMOS Logic while operating at the high–voltage power supply.

The MC74VHC1GT86 input structure provides protection when voltages up to 7V are applied, regardless of the supply voltage. This allows the MC74VHC1GT86 to be used to interface 5V circuits to 3V circuits. The output structures also provide protection when V_{CC} = 0V. These input and output structures help prevent device destruction caused by supply voltage – input/output voltage mismatch, battery backup, hot insertion, etc.

- High Speed: t_{PD} = 4.8ns (Typ) at V_{CC} = 5V
- Low Power Dissipation: I_{CC} = 2μA (Max) at T_A = 25°C
- TTL–Compatible Inputs: V_{IL} = 0.8V; V_{IH} = 2.0V
- CMOS–Compatible Outputs: $V_{OH} > 0.8V_{CC}$; $V_{OL} < 0.1V_{CC}$ @Load
- Power Down Protection Provided on Inputs and Outputs
- Balanced Propagation Delays
- Pin and Function Compatible with Other Standard Logic Families
- Latchup Performance Exceeds 300mA
- ESD Performance: HBM > 2000V; MM > 200V; CDM > 1500V

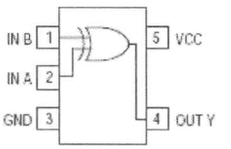
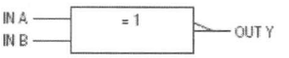


Figure 1. 5–Lead SOT–353 Pinout (Top View)

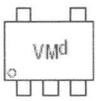
LOGIC SYMBOL



ON Semiconductor
Formerly a Division of Motorola
http://onsemi.com

SC–88A / SOT–353
DF SUFFIX
CASE 419A

MARKING DIAGRAM



Pin 1
d = Date Code

PIN ASSIGNMENT	
1	IN B
2	IN A
3	GND
4	OUT Y
5	VCC

ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 4 of this data sheet.

FUNCTION TABLE

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

รหัสนักศึกษา_____

MAXIMUM RATINGS*

Characteristics	Symbol	Value	Unit
DC Supply Voltage	V_{CC}	–0.5 to +7.0	V
DC Input Voltage	V_{IN}	–0.5 to +7.0	V
DC Output Voltage V_{CC} = 0 High or Low State	V_{OUT}	–0.5 to 7.0 –0.5 to V_{CC} + 0.5	V
Input Diode Current	I_{IK}	–20	mA
Output Diode Current (V_{OUT} < GND; V_{OUT} > V_{CC})	I_{OK}	+20	mA
DC Output Current, per Pin	I_{OUT}	+25	mA
DC Supply Current, V_{CC} and GND	I_{CC}	+50	mA
Power dissipation in still air, SC–88A †	P_D	200	mW
Lead temperature, 1 mm from case for 10 s	T_L	260	°C
Storage temperature	T_{stg}	–65 to +150	°C

* Maximum Ratings are those values beyond which damage to the device may occur. Exposure to these conditions or conditions beyond those indicated may adversely affect device reliability. Functional operation under absolute–maximum–rated conditions is not implied. Functional operation should be restricted to the Recommended Operating Conditions.

†Derating — SC–88A Package: –3 mW/°C from 65° to 125°C

RECOMMENDED OPERATING CONDITIONS

Characteristics	Symbol	Min	Max	Unit
DC Supply Voltage	V_{CC}	4.5	5.5	V
DC Input Voltage	V_{IN}	0.0	5.5	V
DC Output Voltage V_{CC} = 0 High or Low State	V_{OUT}	0.0 0.0	5.5 V_{CC}	V
Operating Temperature Range	T_A	–55	+85	°C
Input Rise and Fall Time V_{CC} = 3.3V ± 0.3V V_{CC} = 5.0V ± 0.5V	t_r, t_f	0 0	100 20	ns/V

DC ELECTRICAL CHARACTERISTICS

Symbol	Parameter	Test Conditions	V_{CC} (V)	T_A = 25°C			$T_A \le 85°C$		$T_A \le 125°C$		Unit
				Min	Typ	Max	Min	Max	Min	Max	
V_{IH}	Minimum High–Level Input Voltage		3.0 4.5 5.5	1.2 2.0 2.0			1.2 2.0 2.0		1.2 2.0 2.0		V
V_{IL}	Maximum Low–Level Input Voltage		3.0 4.5 5.5			0.53 0.8 0.8		0.53 0.8 0.8		0.53 0.8 0.8	V
V_{OH}	Minimum High–Level Output Voltage V_{IN} = V_{IH} or V_{IL}										
		V_{IN} = V_{IH} or V_{IL} I_{OH} = –4mA I_{OH} = –8mA	3.0 4.5	2.58 3.94			2.48 3.80		2.34 3.66		V
V_{OL}	Maximum Low–Level Output Voltage V_{IN} = V_{IH} or V_{IL}										
		V_{IN} = V_{IH} or V_{IL} I_{OL} = 4mA I_{OL} = 8mA	3.0 4.5			0.36 0.36		0.44 0.44		0.52 0.52	V
I_{IN}	Maximum Input Leakage Current	V_{IN} = 5.5V or GND	0 to 5.5			±0.1		±1.0		±1.0	µA
I_{CC}	Maximum Quiescent Supply Current	V_{IN} = V_{CC} or GND	5.5			2.0		20		40	µA
I_{CCT}	Quiescent Supply Current	Input: V_{IN} = 3.4V	5.5			1.35		1.50		1.65	mA
I_{OPD}	Output Leakage Current	V_{OUT} = 5.5V	0.0			0.5		5.0		10	µA