มหาวิทยาลัยสงขลานครินทร์

คณะวิศวกรรมศาสตร์

การสอบกลางภาค ประจำภาคการศึกษาที่ 1 **ประจำปีการศึกษา 2554**

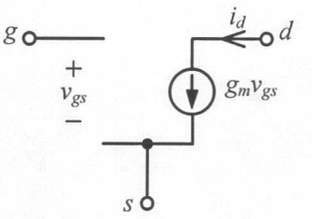
วันที่ 2 สิงหาคม 2554 **เวลา 09.00น - 12.00น**

วิชา 210-530 DESIGN AND ANALYSIS OF ANALOG INTEGRATED CIRCUITS **ห้อง หัวหุ่นยนต์**

คำสั่ง

1. ข้อสอบชุดนี้มีทั้งหมด 6 ข้อ ควรตรวจสอบก่อนลงมือทำ
2. อนุญาตให้นำเฉพาะเครื่องเขียนและเครื่องคิดเลขเข้าห้องสอบ
3. อนุญาตให้ใช้ดินสอหรือปากกาก็ได้ในการเขียนคำตอบ
4. ให้เขียนคำตอบในสมุดคำตอบ

ถ้าไม่ได้กำหนดโดยเฉพาะสมมติให้วงจรสมมูลสำหรับสัญญาณขนาดเล็กของ MOSFET เป็นดังแสดงในรูปที่ 1.1



รูปที่ 1.1

ชื่อ:_____รหัสประจำตัว:_____

ผู้ออกข้อสอบ: นาย ภาณุมาส คำสัตย์

1. (ก) วาดรูปโครงสร้างทรานซิสเตอร์แบบ NMOS และ PMOS **ที่อยู่ร่วมในเทคโนโลยีเดียวกัน**บน substrate ชนิด *p* พร้อมแสดง W, L ของทรานซิสเตอร์ที่นักออกแบบสามารถปรับเปลี่ยนได้

(ข) บอกความแตกต่าง**ทางฟิสิกส์**ระหว่างทรานซิสเตอร์แบบไบโพล่าร์ (BJT) กับทรานซิสเตอร์แบบมอสเฟต (MOSFET) มาอย่างน้อย 4 ประการ

(ค) อธิบายว่าทำไมการไบอัสบอดี้ของ PMOS ด้วยแรงดันที่สูงกว่าแรงดันที่ขาซอสจึงทำให้**ขนาด** V_{th} ของทรานซิสเตอร์เพิ่มขึ้น

(10 คะแนน)

2. (ก) จงพิสูจน์ว่าวงจร Inverter ในรูปที่ 1.2 สามารถนำมาออกแบบใช้**เป็นทรานส์คอนดัคเตอร์ (G_m) ที่เป็นเชิงเส้น**ได้ ให้บอกสภาวะที่เหมาะสมในการออกแบบ (ขนาดของทรานซิสเตอร์หรือการไบอัส) ที่จะทำให้ได้ทรานส์คอนดัคเตอร์เป็นเชิงเส้นได้ตามต้องการ สมมติให้กระแสเดรนของทรานซิสเตอร์เป็นไปตามสมการ

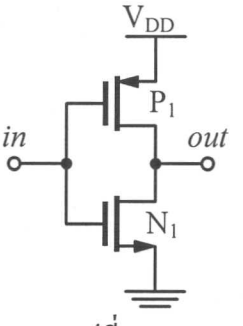
$$I_d = \frac{\mu_e C_{ox}(W/L)_N}{2}(V_{gs} - V_{TN})^2 \tag{1.1}$$

$$I_d = \frac{\mu_h C_{ox}(W/L)_P}{2}(V_{sg} - |V_{TP}|)^2 \tag{1.2}$$

สำหรับทรานซิสเตอร์ NMOS และ PMOS ตามลำดับที่ทำงานอยู่ในย่าน Saturation + Strong Inversion

(ข) เมื่อนำทรานส์คอนดัคเตอร์แบบด้านเดียว (single-ended) ในข้อ (ก) มาต่อเป็นทรานส์คอนดัคเตอร์แบบ**โครงสร้าง pseudo differential** จะต้องมีการปรับปรุงรูปแบบหรือเพิ่มอะไรเข้าไปบ้างเพื่อให้วงจรสามารถ**ไบอัสที่เอาท์พุทได้อย่างถูกต้อง** ให้แสดงการออกแบบวงจรพร้อมคำอธิบาย

(10 คะแนน)



รูปที่ 1.2

3. (ก) จงออกแบบวงจร NOR gate ที่มีสองอินพุทโดยใช้ทรานซิสเตอร์ทั้ง NMOS และ PMOS (เทคโนโลยี CMOS)

(ข) จงออกแบบวงจรโดยใช้ทรานซิสเตอร์ทั้ง NMOS และ PMOS เพื่อให้ได้ฟังก์ชันบูลลีนซึ่งมีสามอินพุท (A, B และ C) ดังนี้

$$Y = \overline{(A \cdot B)} \oplus C \tag{1.3}$$

และสัญลักษณ์ $\oplus$ คือ Exclusive-OR operation

(15 คะแนน)

4. ให้ออกแบบวงจรขยายปรับค่าอัตราขยายได้อัตโนมัติโดยการปรับความถี่สัญญาณนาฬิกา (ซึ่งถือว่ามีความแม่นยำสูง) โดยมีอุปกรณ์ต่อไปนี้

- ออปแอมป์
- ตัวต้านทานค่าใดๆ ไม่จำกัดจำนวน
- ตัวเก็บประจุค่าใดๆ ไม่จำกัดจำนวน
- NMOS และ PMOS ทรานซิสเตอร์ ไม่จำกัดจำนวน
- แหล่งกำเนิดสัญญาณนาฬิกา
- วงจรที่ออกแบบต้องใช้ไฟเลี้ยงเดี่ยว

แสดงให้เห็นด้วยว่าอัตราขยายของวงจรที่ออกแบบขึ้นอยู่กับความถี่ของสัญญาณนาฬิกาอย่างไร

(8 คะแนน)

5. (ก) สมมติให้ทรานซิสเตอร์ที่อยู่ในย่าน triode และ strong inversion มีสมการความสัมพันธ์คือ

$$I_d = \mu_e C_{ox} \frac{W}{L}\left(\left(V_{gs} - V_{TH}\right)V_{ds} - \frac{V_{ds}^2}{2} \right) \tag{1.4}$$

ให้แสดงความเป็นไปได้ที่นำทรานซิสเตอร์ดังกล่าวมาใช้เป็นตัวต้านทานที่มองเข้าไประหว่างซอสกับเดรนของทรานซิสเตอร์พร้อมทั้งพิสูจน์สมการของความต้านทานว่าเป็นเท่าใด

(ข) ให้ออกแบบวงจรที่ใช้ triode MOS resistor ในข้อ (ก) เพื่อใช้สร้างทรานส์คอนดัคเตอร์ (g_m) ที่อาศัยเทคนิค source degeneration โดยสามารถปรับค่าทรานส์คอนดัคแตนซ์ได้ด้วย

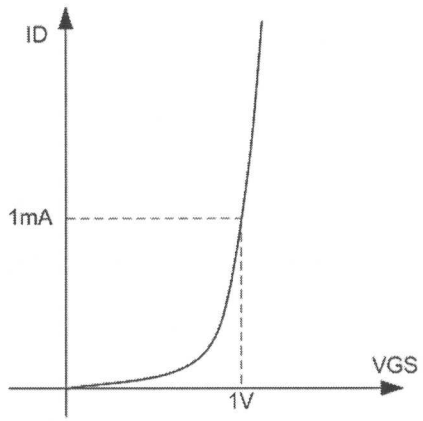
(10 คะแนน)

6. จาก non-linear I-V characteristic ของ NMOS ในรูปที่ 1.3,

(ก) ถ้านำทรานซิสเตอร์ที่มีคุณสมบัติตามรูปที่ 1.3 มาออกแบบวงจร differential amplifier ใช้ข้อมูลจากตารางในรูปที่ 1.3ให้หาแรงดันดีซีที่ drains and sources ของ M1 และ M2 ในรูปที่ 1.4 (ไม่คิดผลของ channel-length modulation).

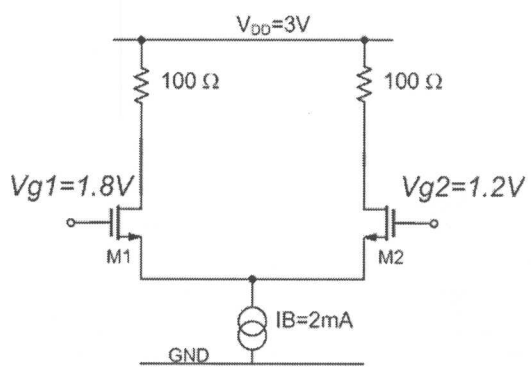
(ข) แรงดันที่ซอสที่ได้ในรูปที่ 1.4 จะได้เท่ากันกับเมื่อแรงดันที่เกทเป็น Vg1 = Vg2 = 1.5V หรือไม่? เพราะอะไร ?

(7 คะแนน)



VGS (V)	0.5	0.6	0.7	0.8	0.9	1.0	1.2	1.3	1.4	1.5
ID (mA)	0.1	0.2	0.3	0.5	0.7	1.0	1.1	1.3	1.5	1.7

รูปที่ 1.3 MOS's I-V characteristic (ภาพกราฟไม่ถูกต้องตามสเกลแสดงให้เห็นแต่แนวโน้มเท่านั้น)



รูปที่ 1.4 Differential MOS amplifier