มหาวิทยาลัยสงขลานครินทร์
คณะวิศวกรรมศาสตร์

สอบกลางภาค: ภาคการศึกษาที่ 2 **ปีการศึกษา:** 2554

วันที่สอบ: 23 ธันวาคม 2554 **เวลาสอบ:** 9.00 – 12.00 น.

ห้องสอบ: หัวหุ่นยนต์ **ผู้สอน:** อ.วิศรุต และ อ.ทวีศักดิ์

รหัสวิชาและชื่อวิชา: 241-309 Advanced Analog and Digital Systems

ทุจริตในการสอบ มีโทษขั้นต่ำ คือ ปรับตกในรายวิชาที่ทุจริต และพักการเรียน 1 ภาคการศึกษา

คำสั่ง: อ่านรายละเอียดของข้อสอบ และคำแนะนำให้เข้าใจก่อนเริ่มทำข้อสอบ

อนุญาต: ปากกา ดินสอ และเครื่องเขียน

ไม่อนุญาต: หนังสือ และ เครื่องคิดเลข

เวลา: 3 ชั่วโมง (180 นาที)

คำแนะนำ

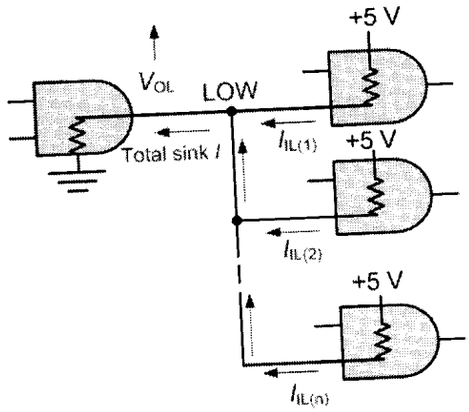
- ข้อสอบมี 10 หน้า (รวมใบปะหน้า) รวมทั้งหมด 9 ข้อ 30 คะแนน คิดเป็นคะแนนเก็บ **30 %**
- **คำตอบส่วนใดอ่านไม่ออก จะถือว่าคำตอบนั้นผิด**
- อ่านคำสั่งในแต่ละข้อให้เข้าใจก่อนลงมือทำ
- หากข้อใดเขียนตอบไม่พอ ให้เขียนเพิ่มที่ด้านหลังกระดาษของคำถามข้อเดียวกันเท่านั้น

ชื่อ_____ **รหัสนักศึกษา**_____

รหัสนักศึกษา_____

1. จากรูปที่ 1-1 การต่อโหลดเพิ่ม มีผลกระทบต่อค่า V_{OL} และ Noise Margin ของไอซีที่เป็นตัวขับอย่างไร **(2 คะแนน)**

จงอธิบาย



รูปที่ 1-1

2. จงออกแบบวงจร MUX 2-to-1 โดยใช้สร้างทรานซีสเตอร์ CMOS เท่านั้น **(4 คะแนน)**

รหัสนักศึกษา_____

3. จงออกแบบวงจรลอจิก โดยใช้ PAL และ PAL16L8 จากสมการบลูลีน ดังนี้ **(4 คะแนน)**

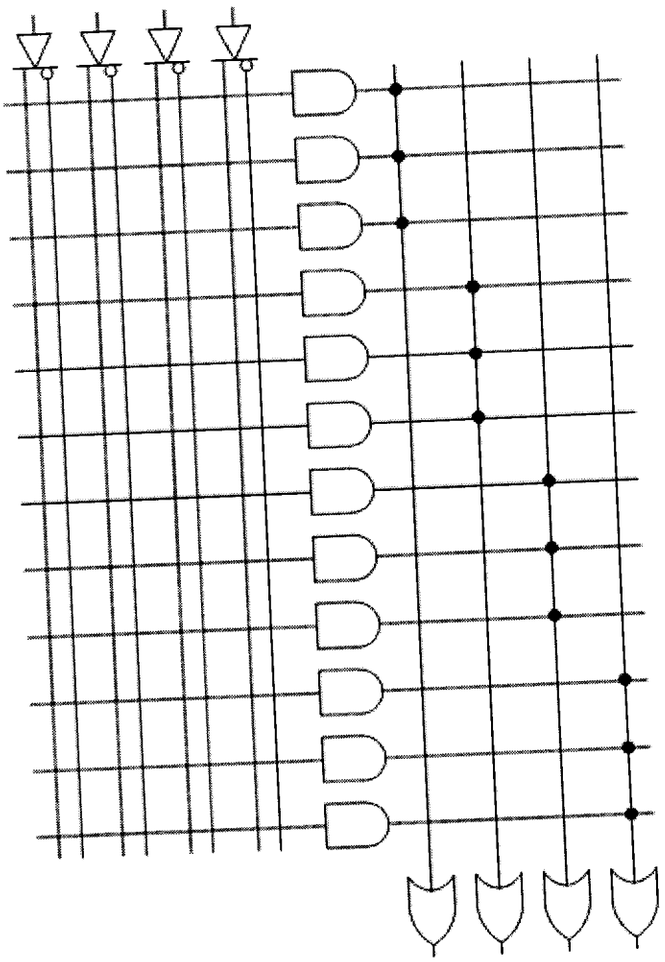
$$F_1(A,B,C,D) = \sum m(0,2,8,10,12,13,15)$$

$$F_2(A,B,C,D) = \sum m(3,10,11,13,14,15)$$

$$F_3(A,B,C,D) = \sum m(0,2,3,7,8,10,11)$$

หมายเหตุ :: ยกตัวอย่าง $\sum m(0,1,2) = \overline{A}\,\overline{B}\,\overline{C}\,\overline{D} + \overline{A}\,\overline{B}\,\overline{C}\,D + \overline{A}\,\overline{B}\,C\,\overline{D}$ เป็นต้น

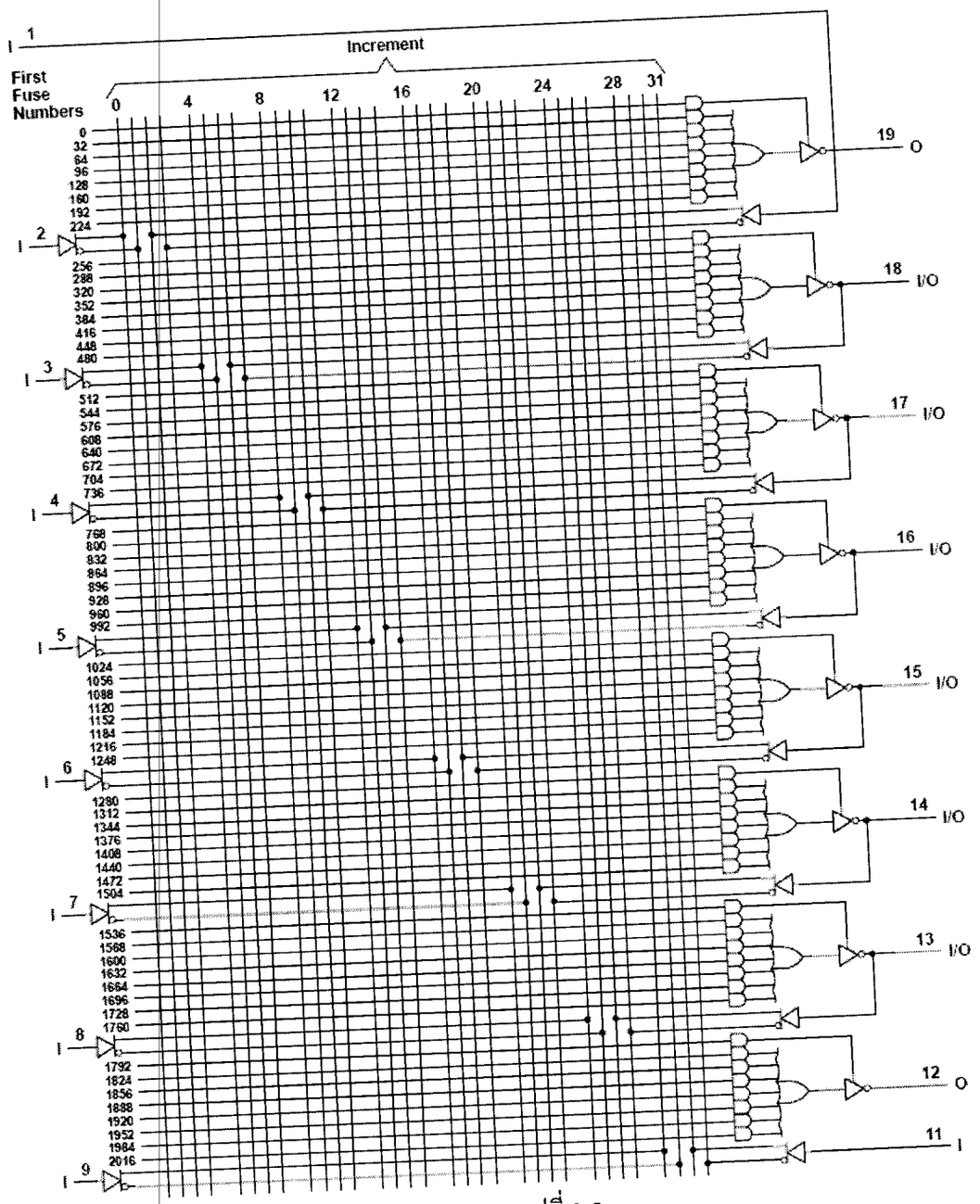
PAL



รูปที่ 3-1

รหัสนักศึกษา_____

PAL16L8



รูปที่ 3-2

รหัสนักศึกษา_____

(3 คะแนน)

4. จงออกแบบ MUX 4-to-1 โดยใช้ Transmission Gate

(2 คะแนน)

5. จงอธิบาย ค่า Fanout ในกรณีต่อไปนี้

5.1 TTL ขับ CMOS

5.2 CMOS ขับ TTL

5.3 CMOS ขับ CMOS

5.4 TTL ขับ TTL

รหัสนักศึกษา_____

(4 คะแนน)

6. จากตารางคุณสมบัติไอซี

Voltage Parameter					Current Parameter				Prop	Freq
TTL Series	V_{IH}(min)	$V_{IL(max)}$	V_{OH}(min)	V_{OL}(max)	I_{IH}(max) (uA)	$I_{IL(max)}$ (mA)	I_{OH}(max) (uA)	I_{OL}(max) (mA)	delay (nSec)	Max(MHz)
74	2.00	0.80	2.40	0.40	40	-1.6	-400	16	9	35
74L	2.00	0.70	2.40	0.40	20	-0.8	-100	2	–	3
74LS	2.00	0.80	2.70	0.50	20	-0.4	-400	8	9.5	45
74S	2.00	0.80	2.70	0.50	50	-2	-1000	20	3	125
74ALS	2.00	0.80	2.50	0.50	20	-0.1	-400	8	4	70
74AS	2.00	0.80	2.50	0.50	20	-0.5	-2mA	20	1.7	200
74F	2.00	0.80	2.50	0.50	20	-0.6	-1000	20	3	100
74C	3.50	1.50	4.90	0.10	1	-0.001	-400	4	50	5
MOS4000	3.50	1.50	4.95	0.05	0.3	-0.003	-400	0.44	50	5
74HC	3.50	1.00	4.90	0.10	1uA	1uA	4mA	4mA	23	20
74HCT	2.00	0.80	4.90	0.10	1uA	1uA	4mA	4mA	23	20
74AC	3.50	1.50	4.90	0.10	1uA	1uA	24mA	24mA	4.5	–
74ACT	2.00	0.80	4.90	0.10	1uA	1uA	24mA	24mA	5.6	100
74AHC	3.85	1.65	4.40	0.44	1uA	1uA	8mA	8mA	–	130
74AHCT	2.00	0.80	3.15	0.10	1uA	1uA	8mA	8mA	–	–

6.1 จงหาค่า Noise Margins และพิจารณาว่าไอซีตัวดังกล่าวสามารถขับไอซีที่นำมาต่อได้หรือไม่ เมื่อใช้ไอซี 74AC เป็นตัวขับ 74ALS

6.2 จงหาค่า Fanout เมื่อใช้ไอซี 74AS เป็นตัวขับ 74F

(2 คะแนน)

7. จงตอบคำถามต่อไปนี้

7.1 จงยกตัวอย่างและอธิบาย วงจรที่ใช้ในการสร้างสัญญาณนาฬิกา มาอย่างน้อย 2 ประเภท

7.2 Timing Diagram คืออะไร จงอธิบาย

7.3 การออกแบบวงจรแบบ Worst-case design มีประโยชน์อย่างไร

(5 คะแนน)

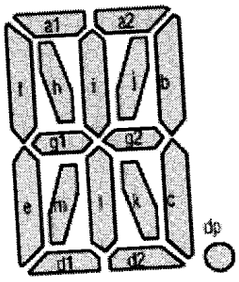
8. จากรูปที่ 8-1 แสดง 16-segment ชนิด common anode และ รูปที่ 8-2 แสดงค่า 0-9 และ A-J นั้น

8.1 จงเขียนตารางค่าความจริง (Truth Table) ของ segment b กรณีที่นอกเหนือจาก 0-9 และ A-J นั้น ให้พิจารณาเป็น don't care ทั้งหมด

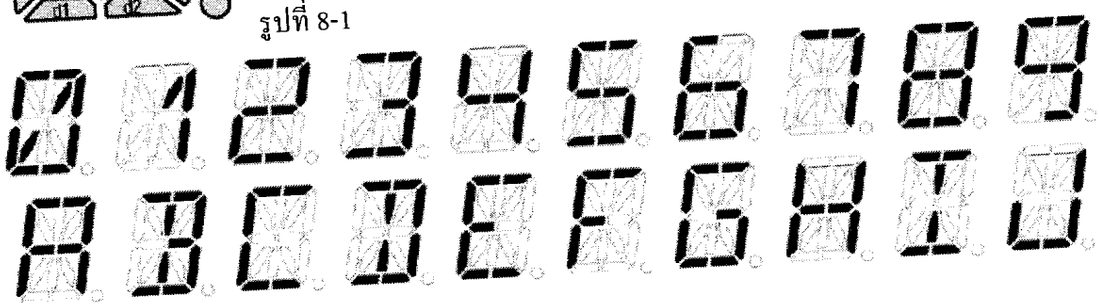
8.2 จากตารางค่าความจริงในข้อ 8.1 จงเขียนนิพจน์ของเอาต์พุต b ที่สัมพันธ์กับอินพุต ของวงจร 16-segment decoder ในรูปแบบ Sum of Product (SOP)

8.3 จากนิพจน์ในข้อ 8.2 จงลดรูปด้วยวิธี Quine-McCluskey พร้อมทั้งวาดวงจรที่ทำการลดรูปแล้ว

รหัสนักศึกษา_____



รูปที่ 8-1

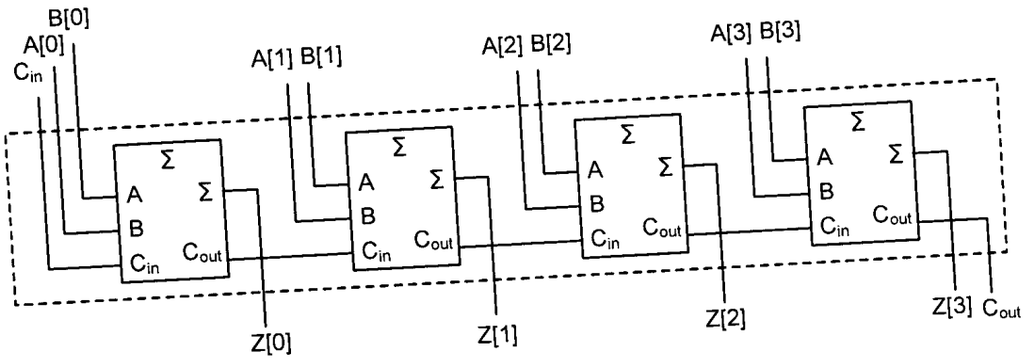


รูปที่ 8-2

9. จากรูปที่ 9-1 เป็นบล็อคไดอะแกรมวงจรบวกเต็ม (Full adder) สองชุดข้อมูลขนาด 4 บิต (0-3) จงเขียนด้วยภาษา Verilog HDL ต่อไปนี้ **(4 คะแนน)**

9.1 จงออกแบบวงจรบวกเต็มขนาด 1 บิต

9.2 จงออกแบบวงจรบวกเต็มขนาด 4 บิตในรูปที่ 9-1 โดยนำผลที่ได้จากข้อที่ 9.1 เป็นส่วนสำคัญในการออกแบบ ซึ่งต้องมีการต่อ port ให้สัมพันธ์กัน



รูปที่ 9-1