



## มหาวิทยาลัยสงขลานครินทร์

### คณะวิศวกรรมศาสตร์

การสอบปลายภาค ประจำปีการศึกษาที่ 1

ประจำปีการศึกษา 2555

วันที่ 3 ตุลาคม 2555

เวลา 9.00-11.00

วิชา 210-391 MICROPROCE PRINCIPLES & APP. ห้อง S๑17, A400, R201, S101, S102

ทูลจริตในการสอบโทษขั้นต่ำคือ ปรับตกในรายวิชาที่ทูลจริตและพักการเรียน 1 ภาคการศึกษา

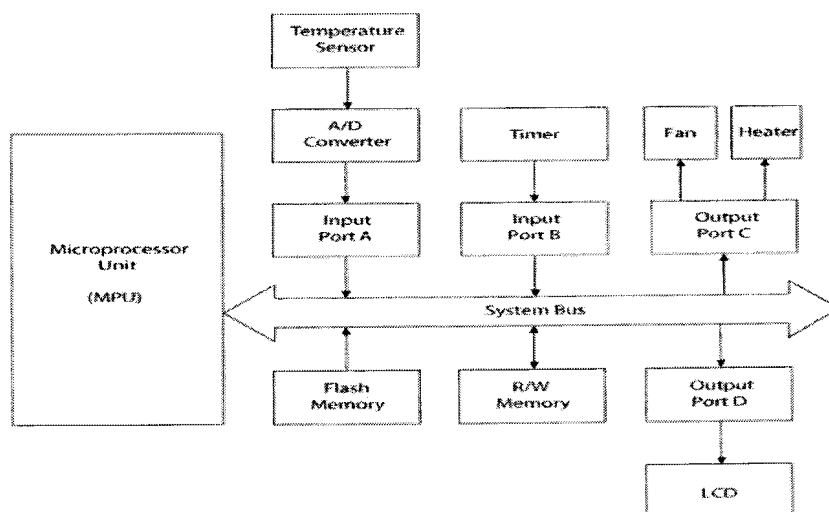
#### คำสั่ง

- ข้อสอบมี 4 ข้อ ให้ทำทุกข้อ โดยตัวข้อสอบมีจำนวน 2 หน้าและมีเอกสารแนบจำนวน 4 หน้า
- ให้ตอบในสมุดคำตอบโดยใช้ปากกาเขียนตอบ ผู้ฝ่าฝืนจะไม่ได้รับการตรวจและให้คะแนน
- ไม่อนุญาตให้นำตำราและเครื่องคิดเลขเข้าห้องสอบ

1. (ก) จากระบบ Time and Temperature System ในรูปที่ 1 ซึ่งควบคุมอุณหภูมิห้องในช่วงเวลาที่กำหนด จงออกแบบส่วนฮาร์ดแวร์ใหม่โดยใช้ไมโครคอนโทรลเลอร์เบอร์ LPC 2138 (7)

(ข) จงเปรียบเทียบระบบที่ออกแบบขึ้นมาใหม่กับระบบเดิมโดยพิจารณาถึง (3)

- ขนาด
- การใช้พลังงาน
- ความสามารถในการขยายระบบ



รูปที่ 1 Time and Temperature System

2. (ก) จากระบบ Time and Temperature System ในรูปที่ 1 จงเขียน flowchart ส่วนของซอฟต์แวร์ที่พัฒนาโดยใช้ RTOS โดยให้มี task ทั้งหมดจำนวน 4 tasks (8)
- (ข) จงเปรียบเทียบซอฟต์แวร์ที่ออกแบบขึ้นมาใหม่โดยใช้ RTOS กับระบบที่เป็น task เดี่ยวโดยพิจารณาถึง ความเร็วในการทำงานของระบบและระยะเวลาในการพัฒนาซอฟต์แวร์ (2)
3. (ก) จงบอกวัตถุประสงค์ของ Startup file และอธิบายการทำงานเพียง 3 การทำงานหลัก (4)
- (ข) จงอธิบายการทำงานหลักของการพัฒนาซอฟต์แวร์โดยใช้เครื่องมือเชิงรูปภาพเช่น LabVIEW for ARM และเปรียบเทียบการพัฒนาซอฟต์แวร์ลักษณะนี้กับวิธีการพัฒนาโดยเครื่องมือประเภท IDE โดยพิจารณาถึง ความเร็วในการทำงานของระบบและระยะเวลาในการพัฒนาซอฟต์แวร์ (3)
- (ค) จงอธิบายการทำงานหลักของ JTAG และยกตัวอย่างการใช้งานมา 2 ตัวอย่าง (3)
4. (ก) จงบอกเกณฑ์ในการพิจารณาเลือกใช้ไมโครคอนโทรลเลอร์สำหรับระบบในข้อ 1(ก) มาจำนวน 2 เกณฑ์พร้อมเหตุผลของแต่ละเกณฑ์ (2)
- (ข) ให้ใช้เกณฑ์ในข้อ 4(ก) ให้คะแนนในการเลือกใช้ไมโครคอนโทรลเลอร์ 3 ตัวคือ (6)
- MSP-430
  - dsPIC
  - ARM CORTEX-M3
- (รายละเอียดในเอกสารแนบ)
- (ค) สรุปผลการคัดเลือกพร้อมเหตุผล (2)

เกริกชัย ทองหนู ผู้ออกข้อสอบ

# MSP430C11x1, MSP430F11x1A MIXED SIGNAL MICROCONTROLLER

SLAS241G – SEPTEMBER 1999 – REVISED AUGUST 2003

- Low Supply Voltage Range 1.8 V – 3.6 V
- Ultralow-Power Consumption
  - Active Mode: 160  $\mu$ A at 1 MHz, 2.2 V
  - Standby Mode: 0.7  $\mu$ A
  - Off Mode (RAM Retention): 0.1  $\mu$ A
- Wake-Up From Standby Mode in less than 6  $\mu$ s
- 16-Bit RISC Architecture, 125 ns Instruction Cycle Time
- Basic Clock Module Configurations:
  - Various Internal Resistors
  - Single External Resistor
  - 32-kHz Crystal
  - High-Frequency Crystal Resonator
  - External Clock Source
- 16-Bit Timer\_A With Three Capture/Compare Registers
- Slope A/D Converter With External Components
- On-Chip Comparator for Analog Signal Compare Function or Slope A/D Conversion
- Serial Onboard Programming, No External Programming Voltage Needed Programmable Code Protection by Security Fuse
- Family Members Include:
  - MSP430C1101: 1KB ROM, 128B RAM
  - MSP430C1111: 2KB ROM, 128B RAM
  - MSP430C1121: 4KB ROM, 256B RAM
  - MSP430F1101A: 1KB + 128B Flash Memory 128B RAM
  - MSP430F1111A: 2KB + 256B Flash Memory 128B RAM
  - MSP430F1121A: 4KB + 256B Flash Memory 256B RAM
- Available in a 20-Pin Plastic Small-Outline Wide Body (SOWB) Package, 20-Pin Plastic Small-Outline Thin Package, 20-Pin TVSOP (F11x1A only) and 24-Pin QFN†
- For Complete Module Descriptions, Refer to the MSP430x1xx Family User's Guide, Literature Number SLAU049

## description

The Texas Instruments MSP430 family of ultralow power microcontrollers consist of several devices featuring different sets of peripherals targeted for various applications. The architecture, combined with five low power modes is optimized to achieve extended battery life in portable measurement applications. The device features a powerful 16-bit RISC CPU, 16-bit registers, and constant generators that attribute to maximum code efficiency. The digitally controlled oscillator (DCO) allows wake-up from low-power modes to active mode in less than 6 $\mu$ s. The MSP430x11x1 series is an ultralow-power mixed signal microcontroller with a built-in 16-bit timer, versatile analog comparator and fourteen I/O pins.

Typical applications include sensor systems that capture analog signals, convert them to digital values, and then process the data for display or for transmission to a host system. Stand alone RF sensor front end is another area of application. The I/O port inputs provide single slope A/D conversion capability on resistive sensors.

### AVAILABLE OPTIONS

T <sub>A</sub>	PACKAGED DEVICES			
	PLASTIC 20-PIN SOWB (DW)	PLASTIC 20-PIN TSSOP (PW)	PLASTIC 20-PIN TVSOP (DGV)	PLASTIC 24-PIN QFN (RGE)
-40°C to 85°C	MSP430C1101DW MSP430C1111DW MSP430C1121DW MSP430F1101ADW MSP430F1111ADW MSP430F1121ADW	MSP430C1101IPW MSP430C1111IPW MSP430C1121IPW MSP430F1101AIPW MSP430F1111AIPW MSP430F1121AIPW	MSP430F1101AIDGV MSP430F1111AIDGV MSP430F1121AIDGV	MSP430C1101IRGE† MSP430C1111IRGE† MSP430C1121IRGE† MSP430F1101AIRGE† MSP430F1111AIRGE† MSP430F1121AIRGE†



† Product Preview

Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

 **TEXAS  
INSTRUMENTS**

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 1999 – 2003 Texas Instruments Incorporated



# dsPIC30F4011/4012

## dsPIC30F4011/4012 Enhanced Flash 16-bit Digital Signal Controller

**Note:** This data sheet summarizes features of this group of dsPIC30F devices and is not intended to be a complete reference source. For more information on the CPU, peripherals, register descriptions and general device functionality, refer to the *dsPIC30F Family Reference Manual* (DS70046). For more information on the device instruction set and programming, refer to the *dsPIC30F Programmer's Reference Manual* (DS70030).

### High Performance Modified RISC CPU:

- Modified Harvard architecture
- C compiler optimized instruction set architecture with flexible addressing modes
- 84 base instructions
- 24-bit wide instructions, 16-bit wide data path
- 48 Kbytes on-chip Flash program space (16K Instruction words)
- 2 Kbytes of on-chip data RAM
- 1 Kbytes of non-volatile data EEPROM
- Up to 30 MIPS operation:
  - DC to 40 MHz external clock input
  - 4 MHz-10 MHz oscillator input with PLL active (4x, 8x, 16x)
- 30 interrupt sources
  - 3 external interrupt sources
  - 8 user selectable priority levels for each interrupt source
  - 4 processor trap sources
- 16 x 16-bit working register array

### DSP Engine Features:

- Dual data fetch
- Accumulator write back for DSP operations
- Modulo and Bit-Reversed Addressing modes
- Two, 40-bit wide accumulators with optional saturation logic
- 17-bit x 17-bit single cycle hardware fractional/integer multiplier
- All DSP instructions single cycle
- $\pm$  16-bit single cycle shift

### Peripheral Features:

- High current sink/source I/O pins: 25 mA/25 mA
- Timer module with programmable prescaler:
  - Five 16-bit timers/counters; optionally pair 16-bit timers into 32-bit timer modules
- 16-bit Capture input functions
- 16-bit Compare/PWM output functions
- 3-wire SPI™ modules (supports 4 Frame modes)
- I<sup>2</sup>C™ module supports Multi-Master/Slave mode and 7-bit/10-bit addressing
- 2 UART modules with FIFO Buffers
- 1 CAN modules, 2.0B compliant

### Motor Control PWM Module Features:

- 6 PWM output channels
  - Complementary or Independent Output modes
  - Edge and Center Aligned modes
- 3 duty cycle generators
- Dedicated time base
- Programmable output polarity
- Dead-time control for Complementary mode
- Manual output control
- Trigger for A/D conversions

### Quadrature Encoder Interface Module Features:

- Phase A, Phase B and Index Pulse input
- 16-bit up/down position counter
- Count direction status
- Position Measurement (x2 and x4) mode
- Programmable digital noise filters on inputs
- Alternate 16-bit Timer/Counter mode
- Interrupt on position counter rollover/underflow

# dsPIC30F4011/4012

## Analog Features:

- 10-bit Analog-to-Digital Converter (A/D) with 4 S/H Inputs:
  - 500 Ksps conversion rate
  - 9 input channels
  - Conversion available during Sleep and Idle
- Programmable Brown-out Detection and Reset generation

## Special Microcontroller Features:

- Enhanced Flash program memory:
  - 10,000 erase/write cycle (min.) for industrial temperature range, 100K (typical)
- Data EEPROM memory:
  - 100,000 erase/write cycle (min.) for industrial temperature range, 1M (typical)
- Self-reprogrammable under software control

- Power-on Reset (POR), Power-up Timer (PWRT) and Oscillator Start-up Timer (OST)
- Flexible Watchdog Timer (WDT) with on-chip low power RC oscillator for reliable operation
- Fail-Safe clock monitor operation detects clock failure and switches to on-chip low power RC oscillator
- Programmable code protection
- In-Circuit Serial Programming™ (ICSP™)
- Selectable Power Management modes
  - Sleep, Idle and Alternate Clock modes

## CMOS Technology:

- Low power, high speed Flash technology
- Wide operating voltage range (2.5V to 5.5V)
- Industrial and Extended temperature ranges
- Low power consumption

## dsPIC30F Motor Control and Power Conversion Family\*

Device	Pins	Program Mem. Bytes/Instructions	SRAM Bytes	EEPROM Bytes	Timer 16-bit	Input Cap	Output Comp/Std PWM	Moto Control PWM	A/D 10-bit 500 Ksps	Quad Enc	UART	SPI™	I <sup>2</sup> C™	CAN
dsPIC30F2010	28	12K/4K	512	1024	3	4	2	6 ch	6 ch	Yes	1	1	1	-
dsPIC30F3010	28	24K/8K	1024	1024	5	4	2	6 ch	6 ch	Yes	1	1	1	-
dsPIC30F4012	28	48K/16K	2048	1024	5	4	2	6 ch	6 ch	Yes	1	1	1	1
dsPIC30F3011	40/44	24K/8K	1024	1024	5	4	4	6 ch	9 ch	Yes	2	1	1	-
dsPIC30F4011	40/44	48K/16K	2048	1024	5	4	4	6 ch	9 ch	Yes	2	1	1	1
dsPIC30F5015	64	66K/22K	2048	1024	5	4	4	8 ch	16 ch	Yes	1	2	1	1
dsPIC30F6010	80	144K/48K	8192	4096	5	8	8	8 ch	16 ch	Yes	2	2	1	2

\* This table provides a summary of the dsPIC30F6010 peripheral features. Other available devices in the dsPIC30F Motor Control and Power Conversion Family are shown for feature comparison.



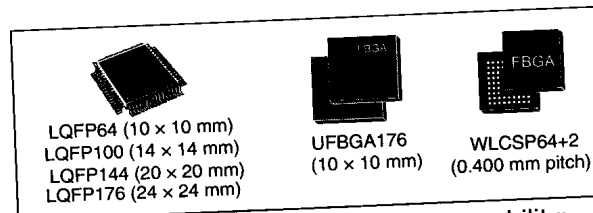
# STM32F205xx STM32F207xx

ARM-based 32-bit MCU, 150DMIPs, up to 1 MB Flash/128+4KB RAM, USB OTG HS/FS, Ethernet, 17 TIMs, 3 ADCs, 15 comm. interfaces & camera

Datasheet – production data

## Features

- Core: ARM 32-bit Cortex™-M3 CPU with Adaptive real-time accelerator (ART Accelerator™) allowing 0-wait state execution performance from Flash memory, frequency up to 120 MHz, memory protection unit, 150 DMIPS/1.25 DMIPS/MHz (Dhrystone 2.1)
- Memories
  - Up to 1 Mbyte of Flash memory
  - 512 bytes of OTP memory
  - Up to 128 + 4 Kbytes of SRAM
  - Flexible static memory controller that supports Compact Flash, SRAM, PSRAM, NOR and NAND memories
  - LCD parallel interface, 8080/6800 modes
- Clock, reset and supply management
  - From 1.65 to 3.6 V application supply and I/Os
  - POR, PDR, PVD and BOR
  - 4 to 26 MHz crystal oscillator
  - Internal 16 MHz factory-trimmed RC (1% accuracy at 25 °C)
  - 32 kHz oscillator for RTC with calibration
  - Internal 32 kHz RC with calibration
- Low power
  - Sleep, Stop and Standby modes
  - V<sub>BAT</sub> supply for RTC, 20 × 32 bit backup registers, and optional 4 KB backup SRAM
- 3 × 12-bit, 0.5 μs A/D converters
  - up to 24 channels
  - up to 6 MSPS in triple interleaved mode
- 2 × 12-bit D/A converters
- General-purpose DMA
  - 16-stream DMA controller with centralized FIFOs and burst support
- Up to 17 timers
  - Up to twelve 16-bit and two 32-bit timers, up to 120 MHz, each with up to 4 IC/OC/PWM or pulse counter and quadrature (incremental) encoder input
- Debug mode
  - Serial wire debug (SWD) & JTAG interfaces
  - Cortex-M3 Embedded Trace Macrocell™
- Up to 140 I/O ports with interrupt capability:
  - Up to 136 fast I/Os up to 60 MHz
  - Up to 138 5 V-tolerant I/Os
- Up to 15 communication interfaces
  - Up to 3 × I<sup>2</sup>C interfaces (SMBus/PMBus)
  - Up to 4 USARTs and 2 UARTs (7.5 Mbit/s, ISO 7816 interface, LIN, IrDA, modem control)
  - Up to 3 SPIs (30 Mbit/s), 2 with muxed I<sup>2</sup>S to achieve audio class accuracy via audio PLL or external PLL
  - 2 × CAN interfaces (2.0B Active)
  - SDIO interface
- Advanced connectivity
  - USB 2.0 full-speed device/host/OTG controller with on-chip PHY
  - USB 2.0 high-speed/full-speed device/host/OTG controller with dedicated DMA, on-chip full-speed PHY and ULPI
  - 10/100 Ethernet MAC with dedicated DMA: supports IEEE 1588v2 hardware, MII/RMII
- 8- to 14-bit parallel camera interface: up to 48 Mbyte/s
- CRC calculation unit
- 96-bit unique ID
- Analog true random number generator



LQFP64 (10 × 10 mm)  
LQFP100 (14 × 14 mm)  
LQFP144 (20 × 20 mm)  
LQFP176 (24 × 24 mm)

UFPGA176 (10 × 10 mm)

WLCSP64+2 (0.400 mm pitch)

Table 1. Device summary

Reference	Part number
STM32F205xx	STM32F205RB, STM32F205RC, STM32F205RE, STM32F205RF, STM32F205RG, STM32F205VB, STM32F205VC, STM32F205VE, STM32F205VF, STM32F205VG, STM32F205ZC, STM32F205ZE, STM32F205ZF, STM32F205ZG
STM32F207xx	STM32F207IC, STM32F207IE, STM32F207IF, STM32F207IG, STM32F207ZC, STM32F207ZE, STM32F207ZF, STM32F207ZG, STM32F207VC, STM32F207VE, STM32F207VF, STM32F207VG