มหาวิทยาลัยสงขลานครินทร์

คณะวิศวกรรมศาสตร์

การสอบกลางภาค ประจำภาคการศึกษาที่ 2 **ประจำปีการศึกษา 2555**

วันที่ 17 ธันวาคม 2555 **เวลา 09.00น.-12.00น.**

วิชา 210-432 Advanced Electronics **ห้อง R201**

คำสั่ง

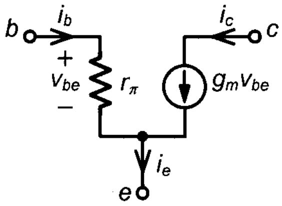
1. ข้อสอบชุดนี้มีทั้งหมด 6 ข้อ ควรตรวจสอบก่อนลงมือทำ
2. อนุญาตให้นำเฉพาะเครื่องเขียนและเครื่องคิดเลขเข้าห้องสอบ
3. อนุญาตให้ใช้ดินสอหรือปากกาก็ได้ในการเขียนคำตอบ
4. ให้เขียนคำตอบในสมุดคำตอบเท่านั้น

กำหนดให้

- แรงดันเทอร์มัลมีค่า $V_T = 26\text{mV}$ ที่อุณหภูมิห้อง 27°C
- สมมติให้เมื่อทรานซิสเตอร์แบบไบโพล่าร์ (BJT) ทำงาน แรงดัน V_{BE} จะมีค่าประมาณ 0.7 โวลต์ โดยที่สมการความสัมพันธ์ของทรานซิสเตอร์ไบโพล่าร์คือ

$$I_c = I_S \exp\left(\frac{V_{be}}{V_T}\right) \tag{1.1}$$

- สมมติให้ small-signal model ของ BJT เป็นดังรูปที่ 1.1 (นอกจากจะมีการกำหนดเฉพาะ)

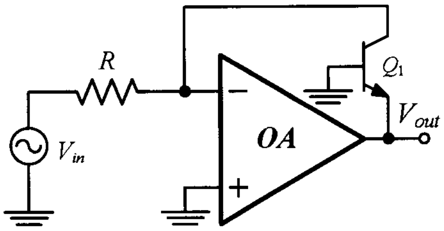


รูปที่ 1.1

ผู้ออกข้อสอบ: นาย กาญมาส คำสัตย์

1.

(ก) จากรูปที่ 1.2 ให้วิเคราะห์หาแรงดันสัญญาณขนาดใหญ่ (large signal) V_{out} ในเทอมของ V_{in}, R, V_T, I_S ตามความเหมาะสม (โดยสมมติว่าออปแอมป์เป็นอุดมคติและยังไม่ต้องกังวลเรื่องการไบอัส)



รูปที่ 1.2

(3 คะแนน)

(ข) ใช้ความรู้จากข้อ (ก) จงออกแบบวงจร X ในรูปที่ 1.3 เพื่อนำไปใช้หารสัญญาณแรงดันสองสัญญาณที่มาจากแหล่งจ่ายสัญญาณแรงดันอุดมคติ v_{in1} และ v_{in2} เพื่อให้ได้ความสัมพันธ์

$$v_{out} = k\left(\frac{v_{in1}}{v_{in2}}\right) \qquad (1.2)$$

โดยที่ k คือค่าคงที่ใดๆ มีข้อแนะนำในการออกแบบโดยใช้ความจริงทางคณิตศาสตร์ต่อไปนี้

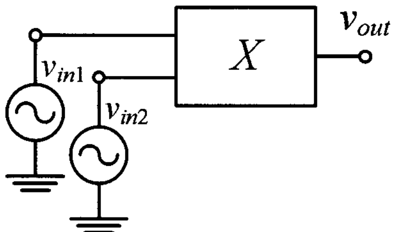
$$\ln\left(\frac{x}{y}\right) = \ln(x) - \ln(y) \qquad (1.3)$$

$$\exp(\ln(x)) = x \qquad (1.4)$$

วงจรที่ออกแบบจะต้องอยู่ภายใต้ข้อกำหนดดังนี้เท่านั้น

- ใช้ทรานซิสเตอร์แบบไบโพล่าร์ชนิด NPN จำนวนกี่ตัวก็ได้
- ใช้ออปแอมป์อุดมคติจำนวนกี่ตัวก็ได้ ใช้ตัวต้านทาน ตัวเก็บประจุ ตัวเหนี่ยวนำ อุดมคติจำนวนเท่าใดก็ได้
- อนุญาตให้ใช้แหล่งจ่ายแรงดันคงที่และแหล่งจ่ายกระแสคงที่อุดมคติได้
- วิเคราะห์และเขียนสมการความสัมพันธ์ระหว่างสัญญาณแรงดันอินพุทและเอาท์พุทของวงจรที่ออกแบบ (หาค่า k ด้วย)

(8 คะแนน)



รูปที่ 1.3

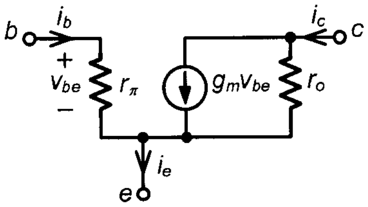
2. ให้ทำการวิเคราะห์สำหรับสัญญาณขนาดเล็กมาก (small-signal analysis) โดยใช้แบบจำลองของทรานซิสเตอร์ไบโพล่าร์ในรูปที่ 1.4

(ก) เพื่อเปรียบเทียบความต้านทานเอาท์พุทของวงจรสะท้อนกระแสทั้งสองในรูปที่ 1.5 เพื่อดูว่าวงจรไหนดีกว่ากันอย่างไร

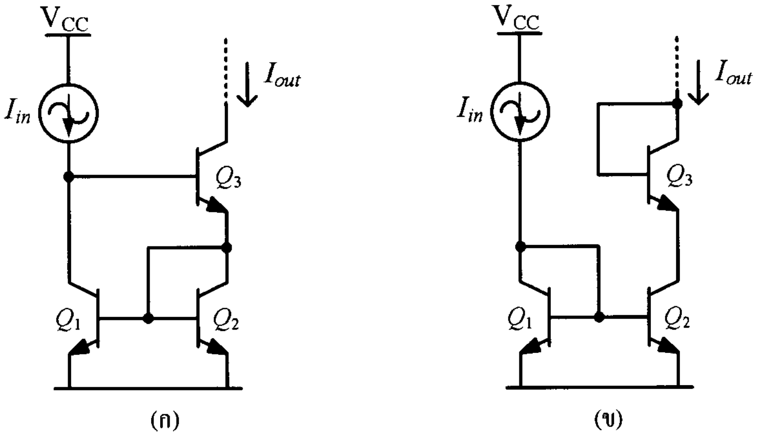
(ข) ถ้าไม่สนใจ r_{out} และประสิทธิภาพการสะท้อน i_{out}/i_{in} วงจรในรูปที่ 1.5 วงจรใดมีข้อได้เปรียบหรือเสียเปรียบแตกต่างกันอย่างไร

ในการวิเคราะห์สมมติให้กระแสเบสของทรานซิสเตอร์มีค่าน้อยมากและสามารถละเลยได้

(8 คะแนน)



รูปที่ 1.4



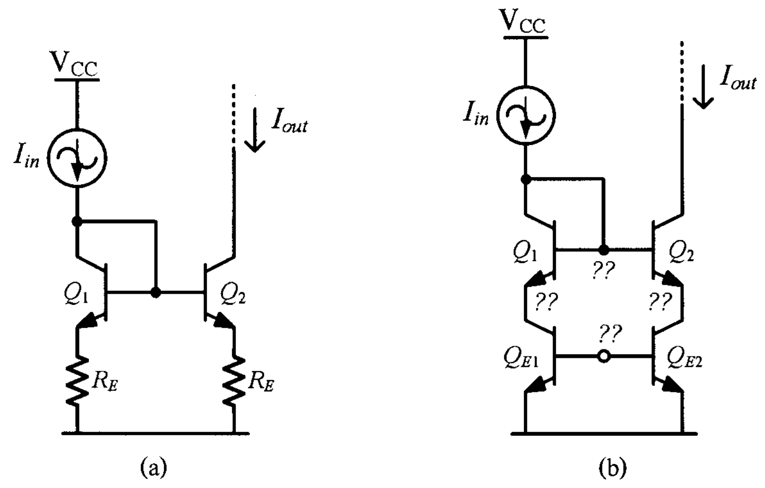
รูปที่ 1.5 วงจรสะท้อนกระแส

3. วงจรสะท้อนกระแสในรูปที่ 1.6(a) อาศัยหลักการของ emitter degeneration ที่ใช้ตัวต้านทาน R_E เพื่อลดความไม่แน่นอนของทรานซิสเตอร์ไบโพล่าร์ แต่เป็นที่ชัดเจนว่าวงจรนี้มีข้อเสียที่สำคัญคือมีแรงดันไบอัสตกคร่อมตัวต้านทานที่ใช้ (ยิ่ง R_E มีค่าสูงการสะท้อนกระแสก็ยิ่งแม่นยำแต่แรงดันไบอัสตกคร่อมก็ยิ่งสูง) จึงไม่เหมาะสมที่จะใช้สำหรับการออกแบบที่ใช้ไฟเลี้ยงต่ำ จึงมีแนวคิดที่จะใช้ความต้านทานค่าสูง r_o ของทรานซิสเตอร์เอ็นพีเอ็น Q_{E1}, Q_{E2} แทน R_E เพื่อทำหน้าที่ emitter degeneration โดยไม่จำเป็นต้องใช้ไฟเลี้ยงตกคร่อม V_{CE} ที่สูงดังแสดงในรูปที่ 1.6(b) แต่อย่างไรก็ตามแนวคิดของวงจรนี้ยังมีปัญหาคือการไบอัสที่ไม่สามารถนิยามแรงดันไบอัสได้อย่างชัดเจนตามจุดต่างๆในวงจรดังแสดงในรูปที่ 1.6(b) โดยสมมติว่าแหล่งจ่ายกระแสอินพุทมีกระแสดีซีอยู่ด้วย

ให้ นศ. ลองหาทางออกแบบเพื่อไบอัสวงจรในรูปที่ 1.6(b) ให้ได้โดยยังคงความต้องการที่จะใช้ r_o ซึ่งมีค่าสูงจาก Q_{E1}, Q_{E2} ด้านล่างของ Q_1, Q_2 แทน R_E เช่นเดิม (ด้านเอาท์พุทจะดูลักษณะเสมือนกับเทคนิคคาสโคด) โดยอนุญาตให้ใช้อุปกรณ์เหล่านี้อย่างไม่จำกัดจำนวน คือ แหล่งจ่ายแรงดันคงที่อุดมคติ แหล่งจ่ายกระแสคงที่อุดมคติ ออปแอมป์อุดมคติ ตัวต้านทานอุดมคติ ทรานซิสเตอร์เอ็นพีเอ็น

(ไม่มีคะแนนสำหรับการออกแบบที่ไม่มีการวิเคราะห์และการอธิบาย)

(7 คะแนน)



รูปที่ 1.6

4.

(ก) ให้ทำการวิเคราะห์ใน **time domain เท่านั้น** ประกอบการอธิบายว่าทำไมจึงมีความจำเป็นที่จะต้องใช้ phase comparator แทนที่จะใช้ frequency comparator ในวงจร phase-locked loop ทั้งๆที่จุดประสงค์ของวงจรคือการสร้างความถี่ขึ้นให้เท่ากับความถี่อินพุทหรือความถี่อ้างอิงใดๆ

(ข) ให้ทำการวิเคราะห์ใน ***s* domain เท่านั้น** ประกอบการอธิบายว่าทำไมจึงมีความจำเป็นที่จะต้องใช้ phase comparator แทนที่จะใช้ frequency comparator ในวงจร phase-locked loop ทั้งๆที่จุดประสงค์ของวงจรคือการสร้างความถี่ขึ้นให้เท่ากับความถี่อินพุทหรือความถี่อ้างอิงใดๆ

แนวทาง : ให้สมมติว่าความถี่อินพุทที่เข้าไปในระบบมีค่าคงที่เท่ากับ ω_0 เรเดียนต่อวินาที (อาจจะมองว่าเป็น step function ก็ได้)

Laplace transform

$$F(s) = \int_0^{\infty} f(t) e^{-st}\, dt \tag{1.5}$$

Final-value theorem

$$f(t)\big|_{t\to\infty} = \lim_{s\to 0} sF(s) \tag{1.6}$$

โดยมีความสัมพันธ์ระหว่าง phase และ frequency เป็น

$$\omega(t) = \frac{d\phi(t)}{dt} \tag{1.7}$$

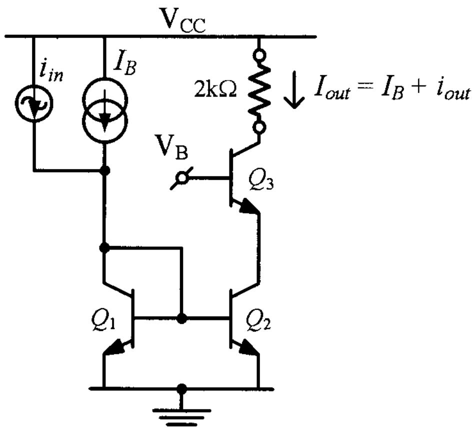
(12 คะแนน)

5. จากวงจรสะท้อนกระแสในรูปที่ 1.7 เป็นแนวคิดที่อาศัยเทคนิคคาสโคดเพื่อเพิ่มความต้านทานเอาท์พุทที่มีหลักการของการป้อนกลับลบโดยประมาณได้ว่า $i_{out}/i_{in} \cong 1$ อย่างไรก็ตามเมื่อจะทำการต่อวงจรจริงเพื่อทำการสะท้อนสัญญาณกระแสเอซีขนาดเล็ก i_{in} ออกไปเป็นสัญญาณกระแสเอซีขนาดเล็ก i_{out} ปรากฏว่าพบปัญหาสำคัญของวงจรสะท้อนกระแสโครงสร้างแบบในรูปที่ 1.7 คือมีความจำเป็นต้องใช้ไฟเลี้ยงที่สูง เช่นถ้าใช้กระแสไบอัส I_B = 1mA เพื่อที่จะจ่ายสัญญาณกระแสเอซีขนาดเล็ก i_{out} ให้โหลด 2kΩ ได้นั้น (แบบ sink กระแส) จะต้องใช้ไฟเลี้ยงอย่างน้อยอยู่ที่ V_{CC} = 3.4V (ให้ V_B = 1.4V เพื่อให้แรงดันไบอัสที่คอลเลคเตอร์ของ Q_2 เท่ากับของ Q_1 อยู่ที่ 0.7V และแรงดันที่คอลเลคเตอร์ของ Q_3 ต้องอยู่ไม่ต่ำกว่าแรงดันที่เบส)

ให้ทำการออกแบบเพื่อแก้ไขวงจรในรูปที่ 1.7 เพื่อให้ใช้ไฟเลี้ยงเดี่ยวต่ำกว่า 2.5V ได้และยังคงสภาวะไบอัสที่ขาของ Q_1, Q_2, Q_3 ตามตัวอย่างที่กล่าวมาเช่นเดิมได้โดยที่ I_B = 1mA และยังคงจ่ายสัญญาณกระแสเอซี (ขนาดเล็ก) $i_{out} \cong i_{in}$ ให้กับโหลด 2kΩ ในลักษณะ sink กระแสได้ดังเดิม (โหลดต่อลงมาจาก V_{CC}) โดยสามารถใช้ทรานซิสเตอร์เอ็นพีเอ็น, พีเอ็นพี, แหล่งจ่ายแรงดันคงที่อุดมคติ, ตัวต้านทานอุดมคติ (ค่าใดๆ), ตัวเก็บประจุอุดมคติ (ค่าใดๆ) แต่ละอย่างจำนวนกี่ตัวก็ได้

แนวทาง: โหลดตัวต้านทาน 2kΩ ไม่จำเป็นต้องมีกระแสไบอัสเท่ากับ I_B เหมือนที่อินพุท

(7 คะแนน)

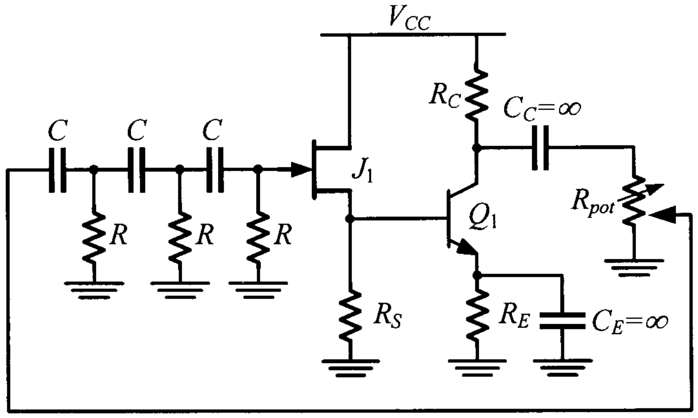


รูปที่ 1.7

6. นักศึกษาผู้ใฝ่รู้ต้องการออกแบบวงจรกำเนิดสัญญาณแบบเลื่อนเฟส (phase-shift oscillator) ดังแสดงในรูปที่ 1.8 แต่โชคร้ายที่งบประมาณปีนี้มีไม่เพียงพอจึงไม่ได้จัดซื้อ N-Channel JFET ไว้แต่ยังโชคดีที่ยังมีตัวต้านทานมากมายหลายค่าและทรานซิสเตอร์ไบโพล่าร์เอ็นพีเอ็นและพีเอ็นพีที่เหลือจากการนำมารีไซเคิล ให้ช่วยนักศึกษาท่านนี้ดัดแปลงวงจรนี้เพื่อออกแบบให้ oscillator ทำงานได้ตามปกติ (คือกำเนิดสัญญาณได้จริงที่ความถี่เดิมที่ตั้งใจไว้ตามวงจรในรูปที่ 1.8) โดยไม่ใช้ N-Channel JFET แต่ใช้อุปกรณ์เดิมที่มีอยู่ประกอบกับตัวต้านทานค่าใดๆก็ได้และทรานซิสเตอร์ไบโพล่าร์เอ็นพีเอ็นและพีเอ็นพีจำนวนไม่จำกัดที่ได้จากการรีไซเคิล (สมมติว่ากระแสเบสของทรานซิสเตอร์มีค่าน้อยมากและสามารถละเลยได้)

(ไม่มีคะแนนสำหรับการออกแบบที่ไม่มีการวิเคราะห์และการอธิบาย)

(7 คะแนน)



รูปที่ 1.8