มหาวิทยาลัยสงขลานครินทร์
คณะวิศวกรรมศาสตร์

สอบปลายภาค: ภาคการศึกษาที่ 1 **ปีการศึกษา**: 2556

วันที่สอบ: 5 ตุลาคม 2556 **เวลาสอบ**: 9.00 – 12.00 น.

ห้องสอบ: หัวหุ่นยนต์, A400, A401, R201 **ผู้สอน**: อ.นพพณ อ.มิตรชัย และ อ.ทวีศักดิ์

รหัสวิชาและชื่อวิชา: 242-208 Digital Logic and Design

ทุจริตในการสอบ มีโทษขั้นต่ำ คือ ปรับตกในรายวิชาที่ทุจริต และพักการเรียน 1 ภาคการศึกษา

คำสั่ง: **อ่านรายละเอียดของข้อสอบ และคำแนะนำให้เข้าใจก่อนเริ่มทำข้อสอบ**

อนุญาต: เครื่องเขียนต่างๆ เช่น ปากกา หรือดินสอ เข้าห้องสอบ

ไม่อนุญาต: หนังสือ หรือเครื่องคิดเลขเข้าห้องสอบ และ**เอกสารใดๆ เข้าและออกห้องสอบ**

เวลา: 3 ชั่วโมง (180 นาที)

คำแนะนำ

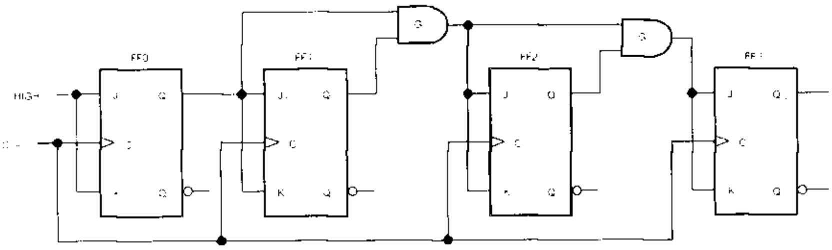
- ข้อสอบมี 7 หน้า (รวมใบปะหน้า) รวมทั้งหมด 9 ข้อ คิดเป็นคะแนน 35 %
- **คำตอบส่วนใดอ่านไม่ออก จะถือว่าคำตอบนั้นผิด**
- อ่านคำสั่งในแต่ละข้อให้เข้าใจก่อนลงมือทำ
- หากข้อใดเขียนตอบไม่พอ ให้เขียนเพิ่มที่ด้านหลังของหน้านั้นเท่านั้น

ชื่อ____รหัสนักศึกษา__________________

รหัสนักศึกษา______________________________

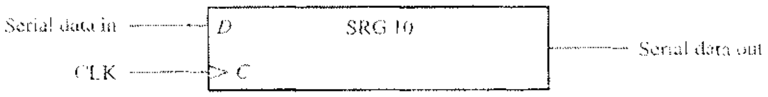
1. จงออกแบบวงจรนับอะซิงโครนัส (Asynchronous Counter) โมดูโล 11 (modulo-11) แบบนับลำดับ โดยใช้ J-K ฟลิปฟลอบ แบบกระตุ้นด้วยขอบสัญญาณขาขึ้น (Positive-Edge Triggering) (2 คะแนน)

2. จากรูปที่ 2 เป็นวงจรนับ modulo-16 แบบเข้าจังหวะ (Synchronous Counter) จงออกแบบวงจรนับโมดูโล 11 (modulo-11) แบบเข้าจังหวะ (4 คะแนน)



รูปที่ 2

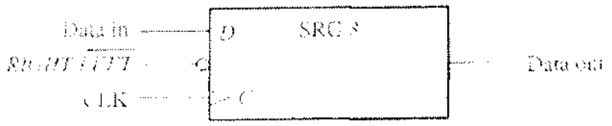
3. จากรูปที่ 3 (ก) เป็นวงจรรีจิสเตอร์เลื่อน (Shift Register) แบบอนุกรมเข้า/อนุกรมออก จงเขียนคลื่นสัญญาณเอาต์พุตที่สัมพันธ์กับสัญญาณอินพุต ในรูปที่ 3 (ข) (2 คะแนน)



รูปที่ 3 (ก)

รูปที่ 3 (ข)

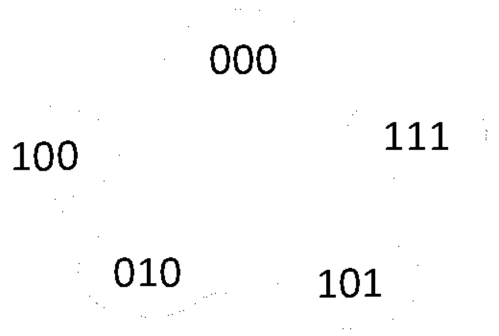
4. จากรูปที่ 4 (ก) เป็นวงจรรีจีสเตอร์เลื่อนแบบอนุกรมเข้า/อนุกรมออก สองทิศทาง กำหนดให้ค่าที่เก็บอยู่ในรีจีสเตอร์เป็นเลขฐานสอง ที่มีค่าเท่ากับ 67 ในเลขฐานสิบ และสายสัญญาณ Data-in มีสถานะเป็น LOW จงเขียนคลื่นสัญญาณเอาต์พุตที่สัมพันธ์กับสัญญาณอินพุต ในรูปที่ 4 (ข) (2 คะแนน)



รูปที่ 4 (ก)

รูปที่ 4 (ข)

5. จงออกแบบ Synchronous Counter จาก state diagram ในรูปที่ 5 (7 คะแนน)



รูปที่ 5

รหัสนักศึกษา______________________________

6. นักศึกษาจงตอบปัญหาข้างล่างจากโค้ดต่อไปนี้ (5 คะแนน)

```
line1   module ShiftReg(Outs, Ins, Clk, CLr, Set, Shr, Shl);
line2       parameter Size =8;
line3       parameter MSB =Size-1;
line4       output[MSB:0]  Outs; reg[MSB:0] Outs;
line5       input [MSB:0]  Ins;
line6       input Clk, Clr,

line7       initial
line8               Outs =0;

line9       Always @(posedge CLK)
line10        If (Clr ==1) Outs =0
line11            else if (Set ==1) Outs = {Size{1'b1}};
line12            else if (Shl == 1) Outs = Outs << 1;
line13            else if (Shr == 1) Outs = Outs >> 1;
line14            else  Outs = Ins;
line15      endmodule
```

6.1) code ดังกล่าวเป็นการเขียนโมเดลแบบไหน

....

6.2) จงวาดรูป block diagram ที่แสดงถึงการเชื่อมต่อของสัญญาณ ทุกขาสัญญาณ

....

....

....

....

....

6. 3) จงอธิบาย code ใน line 4

....

6. 4) จงอธิบาย code ใน line 7,8

....

....

6. 5) จงอธิบาย code ใน line 9

....

6. 6) จงอธิบาย code ใน line 10,11

....

....

6. 7) จงอธิบาย code ใน line 12,13

....

....

7. จงออกแบบวงจรอะซิงโครนัส นับ 7 ด้วยภาษา Verilog (6 คะแนน)

....

....

....

....

....

....

....

....

....

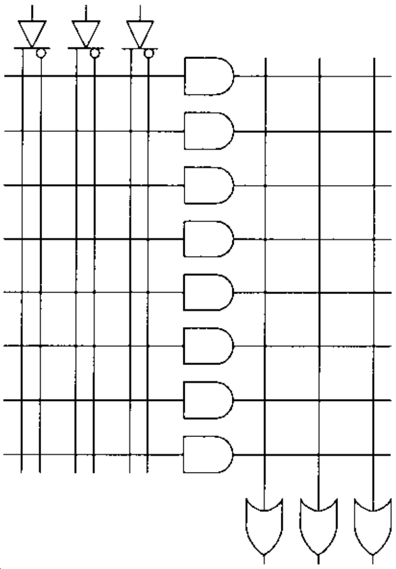
....

....

....

รหัสนักศึกษา________________________

8. จากวงจร PAL ดังรูปที่ 8 กำหนดใช้เครื่องหมาย ‘X’ แสดงการเชื่อมต่อ (4 คะแนน)



รูปที่ 8

จงลดรูปสมการและโปรแกรม PAL สำหรับ

8.1) $X = A\overline{B}C + \overline{A}B\overline{C} + ABC$

8.2) $Y = A\overline{B}C + \overline{A}\overline{B}C + A\overline{B}\overline{C} + \overline{A}BC$

9. จงออกแบบวงจรลอจิก โดยใช้ PAL16L8 จากสมการบูลีน ดังนี้ (3 คะแนน)

$$F_1(A,B,C,D) = \sum m(0,2,8,10,12,13,15)$$

$$F_2(A,B,C,D) = \sum m(3,10,11,13,14,15)$$

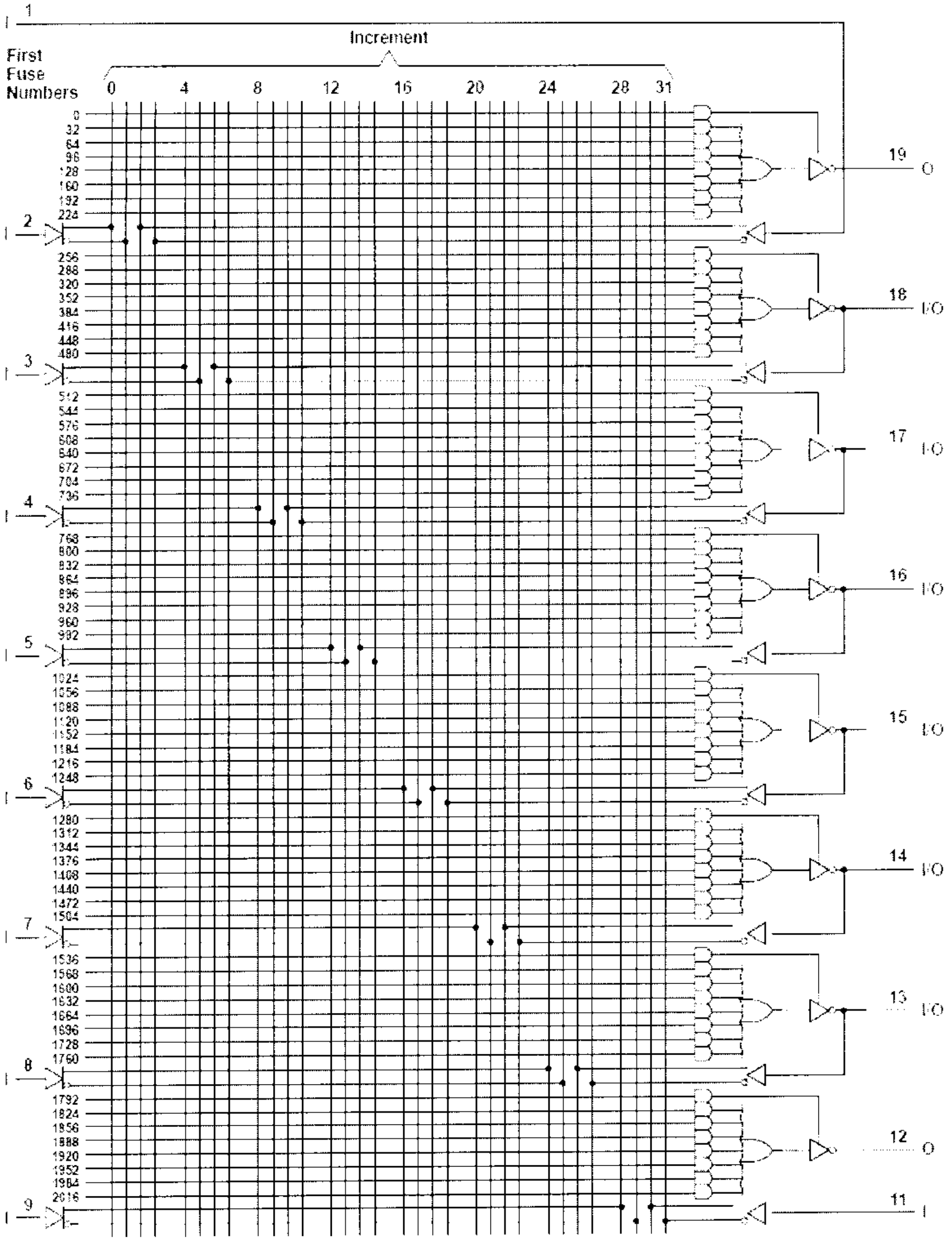
$$F_3(A,B,C,D) = \sum m(0,2,3,7,8,10,11)$$

หมายเหตุ :: ยกตัวอย่าง $\sum m(0,1,2) = \overline{A}\,\overline{B}\,\overline{C}\,\overline{D} + \overline{A}\,\overline{B}\,\overline{C}\,D + \overline{A}\,\overline{B}\,C\,\overline{D}$ เป็นต้น

รหัสนักศึกษา_______________________

....

....

....

PAL16L8