มหาวิทยาลัยสงขลานครินทร์

คณะวิศวกรรมศาสตร์

การสอบกลางภาค ประจำภาคการศึกษาที่ 1 **ประจำปีการศึกษา 2556**

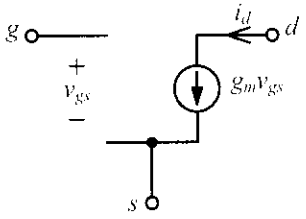
วันที่ 5 ตุลาคม 2556 **เวลา 13.30-16.30น.**

วิชา 210-439 CMOS VLSI **ห้อง หัวหุ่นยนต์**

คำสั่ง

1. ข้อสอบชุดนี้มีทั้งหมด 4 ข้อ ควรตรวจสอบก่อนลงมือทำ
2. อนุญาตให้นำเฉพาะเครื่องเขียนและเครื่องคิดเลขเข้าห้องสอบ
3. อนุญาตให้ใช้ดินสอหรือปากกาก็ได้ในการเขียนคำตอบ
4. ให้เขียนคำตอบในสมุดคำตอบเท่านั้น

ถ้าไม่ได้กำหนดโดยเฉพาะสมมติให้วงจรสมมูลสำหรับสัญญาณขนาดเล็กของ MOSFET เป็นดังแสดงในรูปที่ 1.1



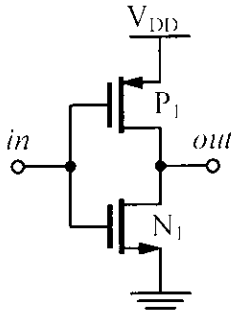
รูปที่ 1.1

ผู้ออกข้อสอบ: นาย ภาณุมาส คำสัตย์

ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสงขลานครินทร์

1. วงจร Inverter ในรูปที่ 1.2 เมื่อนำมาออกแบบเพื่อขับสัญญาณลอจิกให้กับ capacitive load C_l ซึ่งมีขนาดใหญ่กว่าค่าตัวเก็บประจุด้านเข้าของตัวอินเวอร์เตอร์ C_{in} อยู่ k เท่า ($C_l = kC_{in}$) เราจะไม่สามารถขับกระแสให้กับ capacitive load นี้เพื่อให้ได้ rise time และ fall time ที่ต่ำตามต้องการเนื่องจากทรานซิสเตอร์ที่ออกแบบมีข้อจำกัดในการจ่ายกระแส จงออกแบบวงจรพร้อมการวิเคราะห์โดยการใช้ Inverter นี้เป็นบล็อคพื้นฐานเพื่อสร้างชุดขับสัญญาณลอจิกให้โหลดดังกล่าวให้ได้ rise time และ fall time ต่ำตามต้องการและมีการหน่วงเวลา (delay) น้อยที่สุด

แนวทาง: ในการออกแบบเราจะใช้การต่อ inverter ต่อแบบเรียง (cascade) จำนวนทั้งหมด N stages โดยในแต่ละ stage จะมีจำนวน inverter ต่อขนานกันอยู่ด้วยจำนวนที่ไม่เท่ากัน การออกแบบจึงมีความจำเป็นต้องเลือกใช้จำนวน inverter ในแต่ละ stage ให้เหมาะสม



รูปที่ 1.2

2. ให้ออกแบบพร้อมอธิบายการทำงานวงจร Operational Transconductance Amplifier (OTA) โครงสร้างแบบ differential (มีสองอินพุท v_{i1}, v_{i2} สองเอาท์พุท v_{o1}, v_{o2}) โดยใช้ทรานซิสเตอร์ NMOS และ PMOS

จากวงจร OTA ที่ออกแบบนี้ให้อธิบายการนำวงจร OTA (แทนวงจรออปแอมป์) เป็นวงจรขยายกลับเฟสแบบดิฟเฟอร์เรนเชียลที่ใช้ตัวต้านทาน 4 ตัว เพื่อให้ได้อัตราขยาย $(v_{o1} - v_{o2})/(v_{i1} - v_{i2}) = -R_B/R_A$ พร้อมทั้งอธิบายถึงการไบอัสทรานซิสเตอร์ภายใน OTA ด้วยว่าทำได้อย่างไร

หมายเหตุ: ไม่จำเป็นต้องกำหนดขนาด W/L ของทรานซิสเตอร์แต่วงจรดังกล่าวต้องใช้งานได้จริง เช่นวงจรนี้จะต้องไม่มีปัญหาในการไบอัสทรานซิสเตอร์ภายใน และต้องสามารถกำหนดระดับแรงดันไบอัสที่จุดอินพุทและเอาท์พุทได้ตามต้องการ

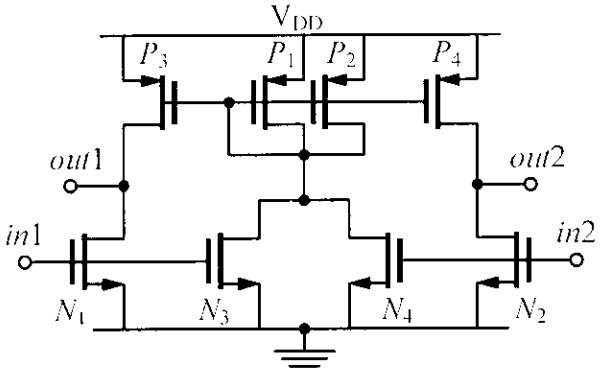
3. จากวงจร low-voltage pseudo-differential transconductor ในรูปที่ 1.3 ซึ่งออกแบบโดย A. Baschirotto ให้นักศึกษา

(ก) อธิบายการทำงานของวงจรนี้ โดยเฉพาะทำไมวงจรนี้จึงสามารถขยายสัญญาณโหมดต่างและขจัดสัญญาณโหมดร่วมได้ทั้งหมดนั่นคือ CMRR เป็นอนันต์

(ข) ให้อธิบายถึงปัญหาที่สำคัญของวงจรนี้

(ค) ให้นำเสนอวงจรที่จะแก้ปัญหาในข้อ (ข) พร้อมทั้งอธิบายการทำงานและหาค่า transconductance อย่างคร่าวๆของวงจรที่นำเสนอ (ติดคำตอบในรูปของ g_m ของทรานซิสเตอร์ได้)

สมมุติให้ทรานซิสเตอร์ทุกตัวมี (W/L) เท่ากันหมด



รูปที่ 1.3

4. จากวงจรในรูปที่ 1.4 ให้นักศึกษา

(ก) วิเคราะห์หา output noise voltage spectral density โดยสมมุติให้ภายในวงจรมีแหล่งกำเนิด noise ทั้งหมด 3 แหล่งคือ

MOS channel thermal noise current source: $\overline{i_{nd}^2} = 4kT\gamma g_m \left[\frac{A^2}{Hz}\right]$, γ คือค่าคงที่

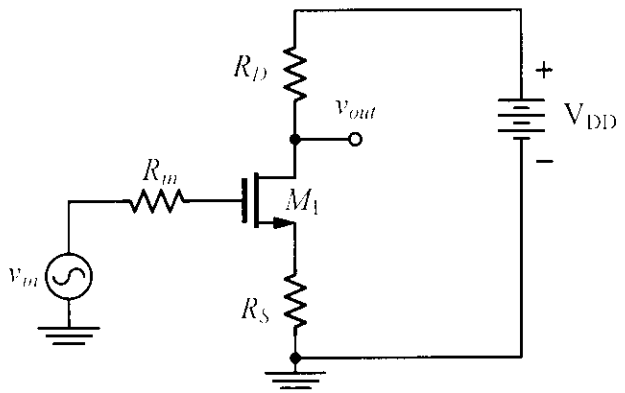
Resistor thermal noise voltage sources from R_D, R_S: $\overline{v_{nR_D}^2} = 4kTR_D \left[\frac{V^2}{Hz}\right]$

$\overline{v_{nR_S}^2} = 4kTR_S \left[\frac{V^2}{Hz}\right]$

(ข) ทำ equivalent voltage and current noise sources เฉพาะส่วนของวงจรซึ่งประกอบด้วย M_1, R_S, R_D และทำการพิสูจน์ว่า equivalent noise sources ที่คำนวณมาได้นี้ถูกต้องโดยอาศัยผลลัพธ์จากข้อ (ก) มาเปรียบเทียบ

หมายเหตุ: (a) ในการคำนวณ ไม่อนุญาตให้ละเลย C_{gs} ภายในทรานซิสเตอร์

(b) ให้ติดค่าตอบอยู่ในค่าพารามิเตอร์ k, T, g_m, γ, R_m, R_D, R_S, C_{gs} ตามความเหมาะสม



รูปที่ 1.4