มหาวิทยาลัยสงขลานครินทร์

คณะวิศวกรรมศาสตร์

การสอบปลายภาค ประจำภาคการศึกษาที่ 2 **ประจำปีการศึกษา 2556**

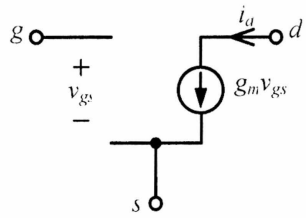
วันที่ 3 มีนาคม 2557 **เวลา 9.00-12.00น.**

วิชา 210-439 CMOS VLSI **ห้อง S103**

คำสั่ง

1. ข้อสอบชุดนี้มีทั้งหมด 3 ข้อ ควรตรวจสอบก่อนลงมือทำ
2. อนุญาตให้นำเฉพาะเครื่องเขียนและเครื่องคิดเลขเข้าห้องสอบ
3. อนุญาตให้ใช้ดินสอหรือปากกาก็ได้ในการเขียนคำตอบ

ถ้าไม่ได้กำหนดโดยเฉพาะสมมติให้วงจรสมมูลสำหรับสัญญาณขนาดเล็กของ MOSFET เป็นดังแสดงในรูปที่ 1.1



รูปที่ 1.1

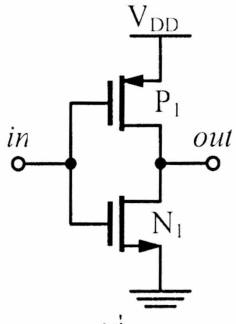
ผู้ออกข้อสอบ: นาย ภาณุมาส คำสัตย์

ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสงขลานครินทร์

1.

(ก) จงวิเคราะห์หาความสัมพันธ์ของพลังงานที่สูญเสียจาก inverter ในรูปที่ 1.2 กับไฟเลี้ยง V_{DD}, ความถี่ f ของสัญญาณนาฬิกาและค่า capacitance C_L ของโหลด

(ข) ให้ออกแบบวงจรในรูปที่ 1.2 เพื่อใช้เป็นวงจรทรานส์คอนดัคเตอร์พร้อมด้วยวงจรสำหรับการตั้งแรงดันไบอัสที่เอาท์พุท อธิบายการทำงานของวงจร



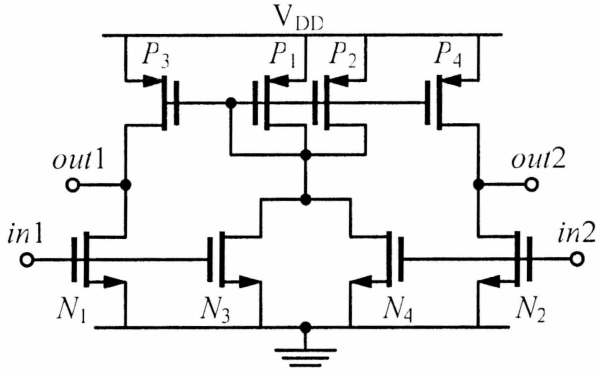
รูปที่ 1.2

2. จากวงจร low-voltage pseudo-differential transconductor ในรูปที่ 1.3 ซึ่งออกแบบโดย A. Baschirotto ซึ่ง $N_1 - N_4$ มีขนาดเท่ากันหมดและ $P_1 - P_4$ มีขนาดเท่ากันหมดเช่นกัน ให้นักศึกษา

(ก) อธิบายการทำงานของวงจรนี้ โดยเฉพาะทำไมวงจรนี้จึงสามารถขยายสัญญาณโหมดต่างและขจัดสัญญาณโหมดร่วมได้ทั้งหมดนั่นคือ CMRR เป็นอนันต์ (แนวทาง: มอง $N_1 - N_4$ เป็น g_m และ $P_1 - P_4$ เป็น current mirrors)

(ข) ปัญหาที่สำคัญของวงจรนี้คือการสูญเสียพลังงานสำหรับการขจัดสัญญาณโหมดร่วมโดยไม่ได้อัตราขยายโหมดต่างเพิ่มขึ้นมา ให้ดัดแปลงวงจรเพื่อจะแก้ปัญหานี้โดยไม่ใช้อุปกรณ์ใดๆเพิ่มเติม พร้อมทั้งอธิบายการทำงานและหาค่า transconductance อย่างคร่าวๆของวงจรที่นำเสนอ (ติดคำตอบในรูปของ g_m ของทรานซิสเตอร์ได้)

สมมุติให้ทรานซิสเตอร์ทุกตัวมี (W/L) เท่ากันหมดและทำงานในย่าน strong-inversion and saturation region และ current mirrors $P_1 - P_4$ เป็นอุดมคติได้ และยังไม่ต้องกังวลเรื่องการไบอัสวงจร



รูปที่ 1.3

3. ให้ออกแบบวงจรลอจิกเกทแบบ fully complementary โดยใช้ NMOS และ PMOS เพื่อให้ได้เอาท์พุท Y จากสามอินพุท A, B, C ตามสมการ

$$Y = A \cdot \overline{(B + C)}$$