มหาวิทยาลัยสงขลานครินทร์

คณะวิศวกรรมศาสตร์

การสอบกลางภาค ประจำภาคการศึกษาที่ 1 **ประจำปีการศึกษา 2557**

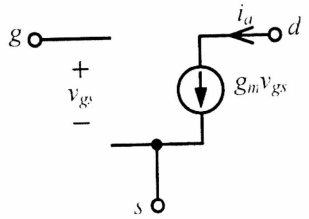
วันที่ 14 ตุลาคม 2557 **เวลา 13.30-16.30น.**

วิชา 212-439 CMOS VLSI **ห้อง S201**

คำสั่ง

1. ข้อสอบชุดนี้มีทั้งหมด 6 ข้อ ควรตรวจสอบก่อนลงมือทำ
2. อนุญาตให้นำเฉพาะเครื่องเขียนและเครื่องคิดเลขเข้าห้องสอบ
3. อนุญาตให้ใช้ดินสอหรือปากกาก็ได้ในการเขียนคำตอบ
4. ให้เขียนคำตอบในที่ว่างในตัวข้อสอบนี้

ถ้าไม่ได้กำหนดโดยเฉพาะสมมติให้วงจรสมมูลสำหรับสัญญาณขนาดเล็กของ MOSFET เป็นดังแสดงในรูปที่ 1.1



รูปที่ 1.1

ผู้ออกข้อสอบ: นาย ภาณุมาส คำสัตย์
ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสงขลานครินทร์

ชื่อ _____ สกุล _____ รหัสนักศึกษา _____

1. (ก) วาดรูปโครงสร้างทรานซิสเตอร์แบบ NMOS และ PMOS **ที่อยู่ร่วมในเทคโนโลยีเดียวกันบน** substrate ชนิด *p* พร้อมแสดง W, L ของทรานซิสเตอร์ที่นักออกแบบสามารถปรับเปลี่ยนได้

(ข) บอกความแตกต่าง**ทางฟิสิกส์**ระหว่างทรานซิสเตอร์แบบไบโพล่าร์ (BJT) กับทรานซิสเตอร์แบบมอสเฟต (MOSFET) มาอย่างน้อย 4 ประการ

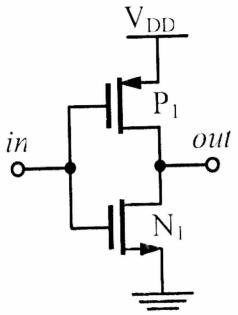
(ค) อธิบายว่าทำไมการไบอัสบอดี้ของ **PMOS** ด้วยแรงดันที่สูงกว่าแรงดันที่ขาซอสจึงทำให้**ขนาด** V_{th} ของทรานซิสเตอร์เพิ่มขึ้น

2. (ก) จงพิสูจน์ว่าวงจร Inverter ในรูปที่ 1.2 เมื่อมีสภาวะไบอัสที่เหมาะสม สามารถนำมาออกแบบใช้**เป็นทรานส์คอนดัคเตอร์ (G_m) ที่เป็นเชิงเส้น**ได้ โดยให้พิสูจน์หาความสัมพันธ์แบบ large signal ระหว่าง V_{in} ไป I_{out} โดย $I_{out} = I_{dN1} - I_{dP1}$ สมมติให้กระแสเดรนของทรานซิสเตอร์เป็นไปตามสมการ

$$I_d = \frac{\mu_e C_{ox} (W/L)_N}{2} (V_{gs} - V_{TN})^2 \tag{1.1}$$

$$I_d = \frac{\mu_h C_{ox} (W/L)_P}{2} (V_{sg} - |V_{TP}|)^2 \tag{1.2}$$

สำหรับทรานซิสเตอร์ NMOS และ PMOS ตามลำดับที่ทำงานอยู่ในย่าน Saturation + Strong Inversion



รูปที่ 1.2

3. ให้ออกแบบวงจรขยายที่มีอัตราขยายสูงมากขั้นเดียว (high-gain, single-stage amplifier) ด้วยเทคโนโลยี มอส พร้อมกับเสนอเทคนิคทางวงจรเพื่อตั้งแรงดันไบอัสที่เอาท์พุทให้ได้ค่าตามต้องการ (ให้แสดงการออกแบบพร้อมอธิบายหลักการ)

4. ให้ออกแบบวงจรขยายที่มีอัตราขยายสูงแบบ differential (high-gain, differential amplifier) ด้วยเทคโนโลยีมอส พร้อมกับเสนอเทคนิคทางวงจรเพื่อตั้งแรงดันไบอัสที่เอาท์พุทให้ได้ค่าตามต้องการ (ให้แสดงการออกแบบพร้อมอธิบายหลักการ)

5. (ก) สมมติให้ทรานซิสเตอร์ที่อยู่ในย่าน triode และ strong inversion มีสมการความสัมพันธ์คือ

$$I_d = \mu_e C_{ox} \frac{W}{L}\left(\left(V_{gs} - V_{TH}\right)V_{ds} - \frac{V_{ds}^2}{2} \right) \tag{1.3}$$

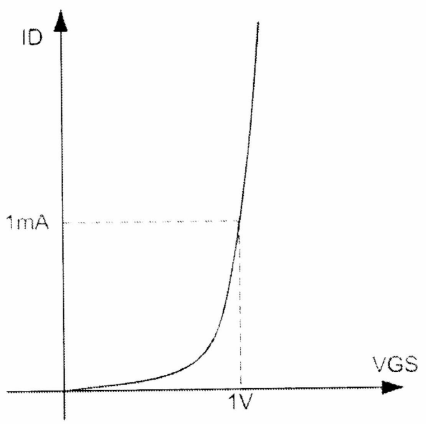
ให้แสดงความเป็นไปได้ที่นำทรานซิสเตอร์ดังกล่าวมาใช้เป็นตัวต้านทานที่มองเข้าไประหว่างซอสกับเดรนของทรานซิสเตอร์พร้อมทั้งพิสูจน์สมการของความต้านทานว่าเป็นเท่าใดสำหรับแรงดัน V_{ds} ที่มีค่าเล็กมาก

(ข) จงวิเคราะห์หาความสัมพันธ์ของพลังงานที่สูญเสียจาก logic inverter ในรูปที่ 1.2 กับไฟเลี้ยง V_{DD}, ความถี่ f ของสัญญาณนาฬิกาและค่า capacitance C_L ของโหลด

6. จาก non-linear I-V characteristic ของ NMOS ในรูปที่ 1.3,

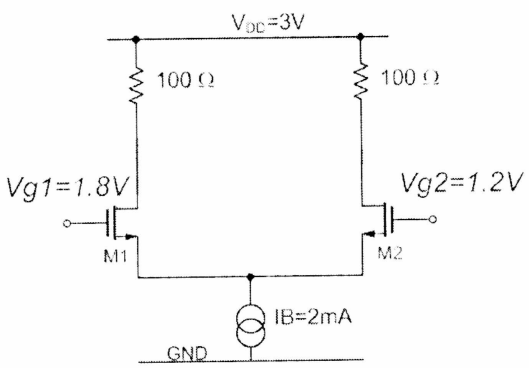
(ก) ถ้านำทรานซิสเตอร์ที่มีคุณสมบัติตามรูปที่ 1.3 มาออกแบบวงจร differential amplifier ใช้ข้อมูลจากตารางในรูปที่ 1.3ให้หาแรงดันดีซีที่ drains and sources ของ M1 และ M2 ในรูปที่ 1.4 (ไม่คิดผลของ channel-length modulation).

(ข) แรงดันที่ซอสที่ได้ในรูปที่ 1.4 จะได้เท่ากันกับเมื่อแรงดันที่เกทเป็น Vg1 = Vg2 = 1.5V หรือไม่? เพราะอะไร ?



VGS (V)	0.5	0.6	0.7	0.8	0.9	1.0	1.2	1.3	1.4	1.5
ID (mA)	0.1	0.2	0.3	0.5	0.7	1.0	1.1	1.3	1.5	1.7

รูปที่ 1.3 MOS's I-V characteristic (ภาพกราฟไม่ถูกต้องตามสเกลแสดงให้เห็นแต่แนวโน้มเท่านั้น)



รูปที่ 1.4 Differential MOS amplifier