มหาวิทยาลัยสงขลานครินทร์

คณะวิศวกรรมศาสตร์

การสอบกลางภาค ประจำภาคการศึกษาที่ 1 ปีการศึกษา 2558

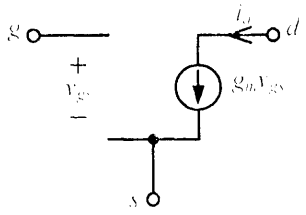
วันที่ 9 ตุลาคม 2558 เวลา 09.00-12.00น.

วิชา 212-530 Design and Analysis of Analog Integrated Circuits ห้อง A200

คำสั่ง

1. ข้อสอบชุดนี้มีทั้งหมด 4 ข้อ มีทั้งหมด 9 หน้า ควรตรวจสอบก่อนลงมือทำ
2. อนุญาตให้นำเฉพาะเครื่องเขียนและเครื่องคิดเลขเข้าห้องสอบ
3. อนุญาตให้ใช้ดินสอหรือปากกาก็ได้ในการเขียนคำตอบ
4. ให้เขียนคำตอบในพื้นที่ว่างในตัวข้อสอบนี้ (ถ้าพื้นที่ไม่พอให้เขียนด้านหลังได้)

ถ้าไม่ได้กำหนดโดยเฉพาะสมมติให้วงจรสมมูลสำหรับสัญญาณขนาดเล็กของ MOSFET เป็นดังแสดงในรูปที่ 1.1



รูปที่ 1.1

ผู้ออกข้อสอบ: นาย ภาณุมาส คำสัตย์

ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสงขลานครินทร์

1.

(ก) วาดรูปโครงสร้างทรานซิสเตอร์แบบ NMOS และ PMOS ที่อยู่ร่วมในเทคโนโลยีเดียวกันบน substrate ชนิด p พร้อมแสดง W, L ของทรานซิสเตอร์ที่นักออกแบบสามารถปรับเปลี่ยนได้

(ข) บอกความแตกต่างทางฟิสิกส์ระหว่างทรานซิสเตอร์แบบไบโพล่าร์ (BJT) กับทรานซิสเตอร์แบบมอสฟิล (MOSFET) มาอย่างน้อย 4 ประการ

(ค) อธิบายว่าทำไมการไบอัสของขั้วของ **NMOS** ด้วยแรงดันที่สูงกว่าแรงดันที่ซอสจึงทำให้ขนาด V_{TH} ของทรานซิสเตอร์ลดลง

(ง) สมมติให้ทรานซิสเตอร์ที่อยู่ในย่าน triode และ strong inversion มีสมการความสัมพันธ์คือ

$$I_d = \mu_n C_{ox} \frac{W}{L}\left((V_{GS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2}\right) \tag{1.1}$$

ให้แสดงความเป็นไปได้ที่ทำทรานซิสเตอร์ดังกล่าวมาใช้เป็นตัวต้านทานที่มองเข้าไประหว่างซอสกับเดรนของทรานซิสเตอร์พร้อมทั้งผลสมการของความต้านทานว่าเป็นเท่าใดสำหรับแรงดัน V_{DS} ที่มีค่าเล็กมาก

ต่อ ...

2. ให้ออกแบบวงจรขยายที่มีอัตราขยายสูงแบบ pseudo differential สำหรับการใช้งานที่ไฟเลี้ยงต่ำ ด้วยเทคโนโลยีซีมอส (CMOS) โดยอาศัยเทคนิค common-mode feedback (CMFB) เพื่อตั้งแรงดันไบอัสที่เอาท์พุตให้ได้ค่าตามต้องการ (ให้แสดงการออกแบบพร้อมอธิบายหลักการ) แสดงรายละเอียดของการออกแบบวงจรให้ถึงระดับทรานซิสเตอร์ (transistor-level circuit design)

ต่อไป ...

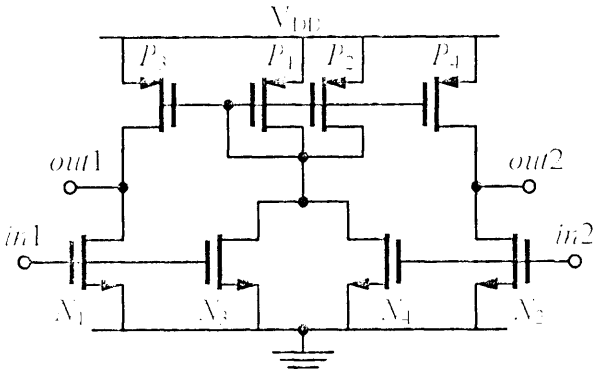
3. จากวงจร low-voltage pseudo-differential transconductor ในรูปที่ 1.2 ซึ่งออกแบบโดย A. Baschirotto ให้นักศึกษา

(ก) อธิบายการทำงานของวงจรนี้ โดยเฉพาะทำไมวงจรนี้จึงสามารถขยายสัญญาณโหมดต่างและขจัดสัญญาณโหมดร่วมได้ทั้งหมด (เรียกว่า CMRR เป็นอนันต์)

(ข) ให้อธิบายถึงปัญหาที่สำคัญของวงจรนี้

(ค) ให้นำเสนอวงจรที่จะแก้ปัญหาในข้อ (ข) พร้อมทั้งอธิบายการทำงานและหาค่า transconductance อย่างคร่าวๆของวงจรที่นำเสนอ (คิดคำตอบในรูปของ g_m ของทรานซิสเตอร์ได้)

สมมุติให้ทรานซิสเตอร์ทุกตัวมี (W/L) เท่ากันหมด



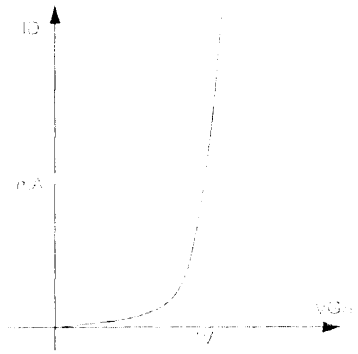
รูปที่ 1.2

ต่อ ...

4. จาก non-linear I-V characteristic ของ NMOS ในรูปที่ 1.3,

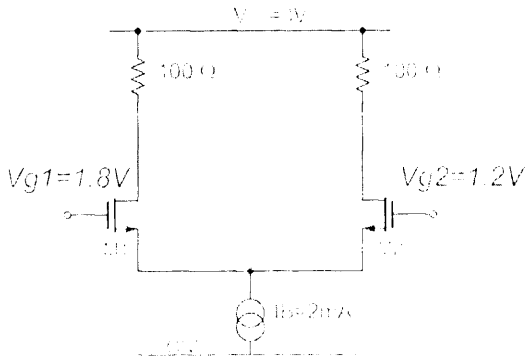
(ก) จำนำการแชิสเตอร์ที่มีคุณสมบัติตามรูปที่ 1.3 มาออกแบบวงจร differential amplifier ใช้ข้อมูลจากตารางในรูปที่ 1.3 ให้กำแหน่งเดียวกับที่ drains and sources ของ M1 และ M2 ในรูปที่ 1.4 (ไม่คิดผลของ channel-length modulation).

(ข) แรงดันที่ขอสมมติได้ในรูปที่ 1.4 จะได้ค่าเท่ากับเมื่อแรงดันที่แหน่งนี้ $V_{G1} = V_{G2} = 1.5V$ หรือไม่? เพราะอะไร ?



VGS (V)	0.5	0.6	0.7	0.8	0.9	1.0	1.2	1.3	1.4	1.5
ID (mA)	0.1	0.2	0.3	0.5	0.7	1.0	1.1	1.3	1.5	1.7

รูปที่ 1.3 MOS's I-V characteristic (ตามกราฟไม่ถูกต้องตามสเกลแสดงให้เห็นแต่แนวโน้มเท่านั้น)



รูปที่ 1.4 Differential MOS amplifier