มหาวิทยาลัยสงขลานครินทร์

คณะวิศวกรรมศาสตร์

การสอบกลางภาค ประจำภาคการศึกษาที่ 1 **ปีการศึกษา 2559**

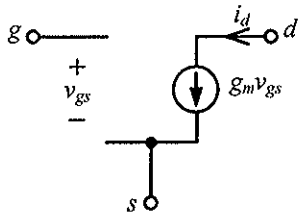
วันที่ 14 ตุลาคม 2559 **เวลา 09.00-12.00น.**

วิชา 212-530 Design and Analysis of Analog Integrated Circuits **ห้อง หัวหุ่น**

คำสั่ง

1. ข้อสอบชุดนี้มีทั้งหมด 4 ข้อ มีทั้งหมด 9 หน้า ควรตรวจสอบก่อนลงมือทำ
2. อนุญาตให้นำเฉพาะเครื่องเขียนและเครื่องคิดเลขเข้าห้องสอบ
3. อนุญาตให้ใช้ดินสอหรือปากกาก็ได้ในการเขียนคำตอบ
4. ให้เขียนคำตอบในพื้นที่ว่างในตัวข้อสอบนี้ (ถ้าพื้นที่ไม่พอให้เขียนด้านหลังได้)

ถ้าไม่ได้กำหนดโดยเฉพาะสมมติให้วงจรสมมูลสำหรับสัญญาณขนาดเล็กของ MOSFET เป็นดังแสดงในรูปที่ 1.1



รูปที่ 1.1

ผู้ออกข้อสอบ: นาย ภาณุมาส คำสัตย์

ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสงขลานครินทร์

1.

(ก) วาดรูปโครงสร้างทรานซิสเตอร์แบบ NMOS และ PMOS **ที่อยู่ร่วมในเทคโนโลยีเดียวกันบน** substrate ชนิด p พร้อมแสดง W, L ของทรานซิสเตอร์ที่นักออกแบบสามารถปรับเปลี่ยนได้

(ข) บอกความแตกต่าง**ทางฟิสิกส์**ระหว่างทรานซิสเตอร์แบบไบโพล่าร์ (BJT) กับทรานซิสเตอร์แบบมอสเฟต (MOSFET) มาอย่างน้อย 4 ประการ

(ค) อธิบายว่าทำไมการไบอัสบอดี้ของ **NMOS** ด้วยแรงดันที่สูงกว่าแรงดันที่ขาซอสจึงทำให้**ขนาด** V_{TH} ของทรานซิสเตอร์ลดลง

(ง) สมมติให้ทรานซิสเตอร์ที่อยู่ในย่าน triode และ strong inversion มีสมการความสัมพันธ์คือ

$$I_d = \mu_e C_{ox} \frac{W}{L}\left((V_{gs} - V_{TH})V_{ds} - \frac{V_{ds}^2}{2}\right) \tag{1.1}$$

ให้แสดงความเป็นไปได้ที่นำทรานซิสเตอร์ดังกล่าวมาใช้เป็นตัวต้านทานที่มองเข้าไประหว่างซอสกับเดรนของทรานซิสเตอร์พร้อมทั้งพิสูจน์สมการของความต้านทานว่าเป็นเท่าใดสำหรับแรงดัน V_{ds} ที่มีค่าเล็กมาก

ตอบ ...

ตอบ ...

2. ให้ออกแบบวงจรขยายที่มีอัตราขยายสูงแบบ pseudo differential (คือวงจรที่คล้ายกับ differential pair แต่ไม่มี DC constant current source) สำหรับการใช้งานที่ไฟเลี้ยงต่ำ ด้วยเทคโนโลยีซีมอส (CMOS) โดยอาศัยเทคนิค common-mode feedback (CMFB) เพื่อตั้งแรงดันไบอัสที่เอาท์พุทให้ได้ค่าตามต้องการ (ให้แสดงการออกแบบพร้อมอธิบายหลักการ) แสดงรายละเอียดของการออกแบบวงจรให้ถึงระดับทรานซิสเตอร์ (transistor-level circuit design)

ตอบ ...

ตอบ ...

3. ให้นักศึกษา ทำการออกแบบวงจร common-source amplifier โดยใช้ NMOS 1 ตัวและความต้านทานค่าใดๆกี่ตัวก็ได้

(ก) จากวงจรที่ออกแบบให้ นศ.หาอัตราขยายว่าขึ้นอยู่กับ ค่าความต้านทานที่ใช้ ตัวแปรต่างๆและขนาดของ NMOS ในการออกแบบอย่างไรบ้าง โดยใช้สมการ MOSFET จากข้อ (1)

(ข) ให้พัฒนาวงจรดังกล่าวเพื่อทำให้สามารถขจัดสัญญาณโหมดร่วมและขยายสัญญาณโหมดต่างได้ โดยไม่ให้แหล่งจ่ายกระแสคงที่ แต่สามารถเพิ่ม NMOS ได้อีก 1 ตัว PMOS 2 ตัว และ ออปแอมป์อุดมคติ 1 ตัว

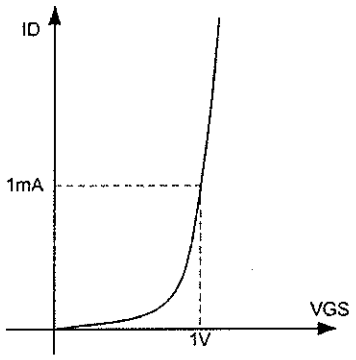
ตอบ ...

ตอบ ...

4. จาก non-linear I-V characteristic ของ NMOS ในรูปที่ 1.3,

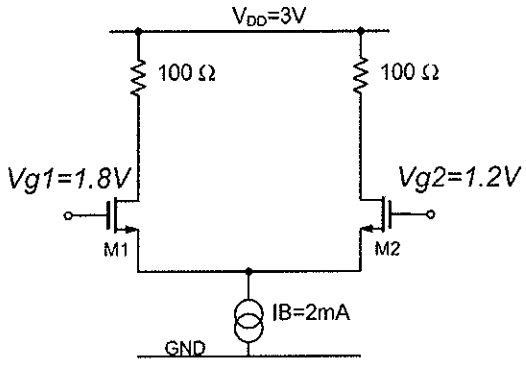
(ก) ถ้านำทรานซิสเตอร์ที่มีคุณสมบัติตามรูปที่ 1.3 มาออกแบบวงจร differential amplifier ใช้ข้อมูลจากตารางในรูปที่ 1.3ให้หาแรงดันดีซีที่ drains and sources ของ M1 และ M2 ในรูปที่ 1.3 (ไม่คิดผลของ channel-length modulation).

(ข) แรงดันที่ซอสที่ได้ในรูปที่ 1.3 จะได้เท่ากันกับเมื่อแรงดันที่เกทเป็น $V_{g1} = V_{g2} = 1.5V$ หรือไม่? เพราะอะไร ?



VGS (V)	0.5	0.6	0.7	0.8	0.9	1.0	1.2	1.3	1.4	1.5
ID (mA)	0.1	0.2	0.3	0.5	0.7	1.0	1.1	1.3	1.5	1.7

รูปที่ 1.2 MOS's I-V characteristic (ภาพกราฟไม่ถูกต้องตามสเกลแสดงให้เห็นแต่แนวโน้มเท่านั้น)



รูปที่ 1.3 Differential MOS amplifier

ตอบ ...